

BEST AVAILABLE COPY

DIALOG(R)File 352:Derwent WPI
(c) 2004 Thomson Derwent. All rts. reserv.

012580250 **Image available**

WPI Acc No: 1999-386357/199933

XRPX Acc No: N99-302446

Semiconductor display device for matrix display - has several source signal lines driven on time sharing basis

Patent Assignee: SEMICONDUCTOR ENERGY LAB (SEME); SEL SEMICONDUCTOR ENERGY LAB (SEME)

Inventor: AZAMI M; KOYAMA J; OSAME M

Number of Countries: 030 Number of Patents: 007

Patent Family:

| Patent No | Kind | Date | Applicat No | Kind | Date | Week |
|-------------|------|----------|-------------|------|----------|----------|
| CN 1213813 | A | 19990414 | CN 98124622 | A | 19980930 | 199933 B |
| JP 11167373 | A | 19990622 | JP 98146613 | A | 19980511 | 199935 |
| EP 918314 | A1 | 19990526 | EP 98307944 | A | 19981001 | 199933 |
| EP 938074 | A1 | 19990825 | EP 98307944 | A | 19981001 | 199939 |
| KR 99036755 | A | 19990525 | KR 9841330 | A | 19981001 | 200032 |
| TW 489335 | A | 20020601 | TW 98116197 | A | 19980929 | 200319 |
| US 6597349 | B1 | 20030722 | US 98162230 | A | 19980929 | 200354 |

Priority Applications (No Type Date): JP 98146613 A 19980511; JP 97286098 A

19971001

Patent Details:

| Patent No | Kind | Lan Pg | Main IPC | Filing Notes |
|-------------|------|--------|-------------|--------------|
| CN 1213813 | A | | G09G-003/18 | |
| JP 11167373 | A | 23 | G09G-003/36 | |
| EP 918314 | A1 E | | G09G-003/36 | |

Designated States (Regional): AL AT BE CH CY DE DK ES FI FR GB GR IE IT
LI LT LU LV MC MK NL PT RO SE SI

EP 938074 A1 E G09G-003/36

Designated States (Regional): AL AT BE CH CY DE DK ES FI FR GB GR IE IT
LI LT LU LV MC MK NL PT RO SE SI

KR 99036755 A G09G-003/14

TW 489335 A H01L-021/00

US 6597349 B1 G09G-005/00

Abstract (Basic): JP 11167373 A

NOVELTY - The driving circuit consists of several source signal lines and D/A converter circuit (208). Each source signal line is driven on a time sharing basis.

USE - For matrix display device.

ADVANTAGE - The number of D/A converter used is reduced by driving source signal lines on time sharing basis. DESCRIPTION OF DRAWING(S) - The drawing is a schematic diagram of the semiconductor display device. (208) D/A converter circuit.

Dwg.2/23

Title Terms: SEMICONDUCTOR; DISPLAY; DEVICE; MATRIX; DISPLAY; SOURCE;
SIGNAL; LINE; DRIVE; TIME; SHARE; BASIS

Derwent Class: P81; P85

International Patent Class (Main): G09G-003/14; G09G-003/18; G09G-003/36;
G09G-005/00; H01L-021/00

International Patent Class (Additional): G02F-001/133; H01L-021/336;
H01L-029/786

File Segment: EngPI

Semiconductor display device and method of driving the same

Patent number: CN1213813
Publication date: 1999-04-14
Inventor: AZAMI MUNEHIRO (JP); KOYAMA JUN (JP); OSAME MITSUAKI (JP)
Applicant: SEMICONDUCTOR ENERGY LAB (JP)
Classification:
 - **International:** G09G3/18
 - **European:**
Application number: CN19980124622 19980930
Priority number(s): JP19970286098 19971001; JP19980146613 19980511

Also published as:

- EP0938074 (A)
- US6597349 (B)
- JP11167373 (A)

Abstract not available for CN1213813

Abstract of correspondent: EP0938074

In a driving circuit of a digital gradation system semiconductor display device, one D/A conversion circuit 208 is provided for a plurality of source signal lines, and the respective source signal lines are driven in a time-division manner. By this, the number of the D/A conversion circuits 208 in the driving circuit can be decreased, and miniaturization of the semiconductor display device can be achieved.

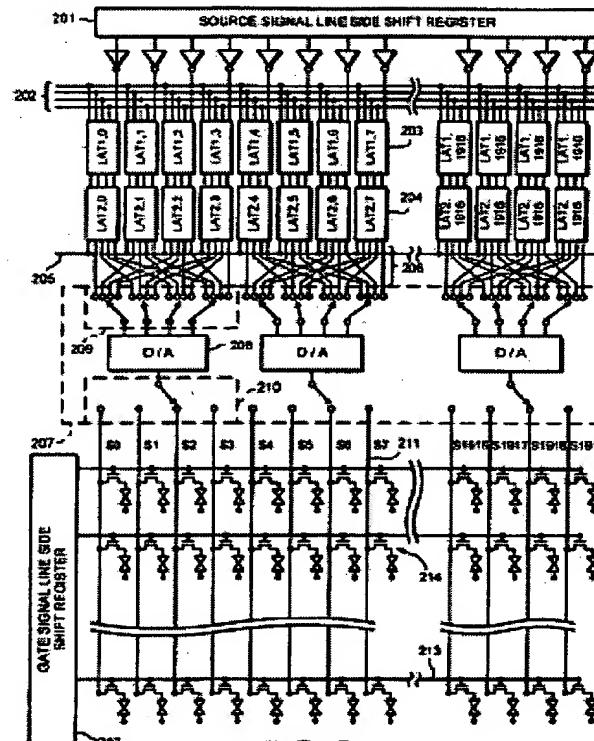


FIG. 2

Data supplied from the esp@cenet database - Worldwide

[19]中华人民共和国国家知识产权局

82 9852293

[51]Int. Cl⁶

G09G 3/18

[12]发明专利申请公开说明书

[21]申请号 98124622.2

[43]公开日 1999年4月14日

[11]公开号 CN 1213813A

[22]申请日 98.9.30 [21]申请号 98124622.2

[30]优先权

[32]97.10.1 [33]JP [31]286098/97

[32]98.5.11 [33]JP [31]146613/98

[71]申请人 株式会社半导体能源研究所

地址 日本神奈川县

[72]发明人 小山润 纳光明

浅见宗広

[74]专利代理机构 中国专利代理(香港)有限公司

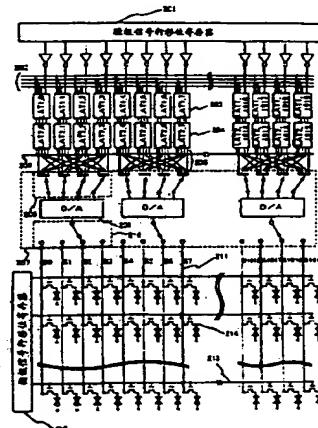
代理人 叶恺东 王岳

权利要求书1页 说明书25页 附图页数21页

[54]发明名称 半导体显示装置及其驱动方法

[57]摘要

在数字灰度系统半导体显示装置的驱动电路中,对多个源极信号行安置一个D/A转换电路208,和以分时法驱动各个源极信号行。由此,可减少驱动电路中的D/A转换电路208数目,并达到半导体显示装置的小型化。



ISSN 1008-4274

权利要求书

1. 一种半导体显示装置，包括：
一个包含多个 D/A 转换电路的 D/A 转换部分，
其特征在于多个 D/A 转换电路的每一个把由存储器电路供给的数字灰度信号转换成模拟信号。
2. 根据权利要求 1 的装置，其特征在于存储器电路包括多个闭锁电路。
3. 一种半导体显示装置，包括：
一个用于储存 m 个 x 位数字灰度信号（ m 和 x 为自然数）的存储器电路；和
一个 D/A 转换电路部分，用于把由存储器电路供给的 m 个 x 位数字灰度信号转换成模拟信号并用于给 m 个源极信号行提供模拟信号，
其特征在于 D/A 转换电路部分包括 n 个 D/A 转换电路（ n 是自然数），和 n 个 D/A 转换电路的每一个把 m/n 个 x 位数字灰度信号顺序转换成模拟信号并把模拟信号供给相应的 m/n 个源极信号行。
4. 根据权利要求 3 的装置，其特征在于存储器电路包括多个闭锁电路。
5. 一种驱动半导体显示装置的方法，包括步骤：
对一个行储存 m 个 x 位数字灰度信号（ m 和 x 为自然数）；和
通过 n 个 D/A 转换电路（ n 是自然数）的每一个在一个行周期内把 m/n 个 x 位数字灰度信号顺序转换成模拟信号；和
把模拟信号传输给相应的 m/n 个源极信号行。
6. 一种驱动半导体显示装置的方法，包括步骤：
由来自移位移位寄存器的计时信号取样并储存 m 个 x 位数字灰度信号；
通过 n 个 D/A 转换电路（ n 是自然数）的每一个把 m/n 个 x 位数字灰度信号顺序转换成模拟灰度电压；和
把模拟电压传输给相应的 m/n 个源极信号行。

说 明 书

半导体显示装置及其驱动方法

5 本发明涉及一种通过成矩阵排列的象素来显示信息如图象的半导体显示装置。

近年来，制造半导体装置的技术得到迅速地改进，在这种半导体装置中，半导体薄膜形成在价廉的玻璃衬底上，如薄膜晶体管(TFT)。这是因为对有源矩阵型液晶显示装置(液晶板)的需求大大增加了。

10 有源矩阵型液晶板的结构是对数十至数百万个成矩阵排列的象素区的每一个设置一个 TFT，并利用 TFT 的开关功能控制每个象素电极的充电和放电。

其间，人们对可被高速驱动的数字灰度系统有源矩阵型液晶显示装置投以关注。如图 1 所示，传统的数字灰度系统有源矩阵型液晶显示装置包括一个源极信号行移位寄存器 101，一个数字解码器 102，闭锁电路 103(LAT1)，闭锁电路 15 104(LAT2)，闭锁脉冲行 105，D/A 转换电路 106，源极信号行 107，栅极信号行移位寄存器 108，栅极信号行(扫描行) 109，象素 TFTs 110 等。

提供给数字解码器 102 的地址行 1 至 4 的数字灰度信号通过来自源极信号行移位寄存器 101 的计时信号被写入到 LAT1 中。

20 数字灰度信号向 LAT1 组中的写入大致终止的时间被认做一个行周期。也即，来自数字解码器 102 的灰度信号向图 1 中最左侧的 LAT1 写入的起始点和来自数字解码器 102 的灰度信号向最右侧的 LAT1 写入的结束点之间的时间间隔为一个行周期。

25 在数字灰度信号向 LAT1 组中的写入结束之后，闭锁脉冲与移位寄存器的工作时间同步地进入闭锁脉冲行 105，使得写在存储器 1 组中的灰度信号立即全部传输到 LAT2 组中。

灰度信号向 LAT2 组中的传输完成后再通过来自源极信号行移位寄存器 101 的信号对提供给数字解码器 102 的灰度信号依次地执行向 LAT1 组中的写入。

在第二个一行周期中，根据与第二个一行周期的起始同步地传输到 LAT2 组中的灰度信号由 D/A 转换电路(数字一模拟转换电路) 106 选择灰度电压。

30 选取的灰度电压在一个行周期中提供给相应的源极信号行。

通过重复上述操作，图象被提供给液晶显示装置的整个象素部分。

但是，在前述的数字灰度液晶显示装置中，D/A 转换电路的面积实际上比其他电路的面积要大，这妨碍了近年来对液晶显示装置极小化的要求。

近年来，随着被处理的信息量的快速增加，在增加显示容量（显示分辨率）
5 和使得显示分辨率更精细方面已经做了设计。而且，随着显示容量的增加，D/A 转换电路的数量也同样增加，使得降低驱动电路部分的区域最为急切。

此处，计算机通常采用的显示分辨率的例子将采用象素数目和标准名称表示在下面。

象素数目（水平×垂直）： 标准名称

| | | | |
|----|-------------|---|------|
| 10 | 640 × 400 | : | EGA |
| | 640 × 480 | : | VGA |
| | 800 × 600 | : | SVGA |
| | 1024 × 760 | : | XGA |
| | 1280 × 1024 | : | SXGA |

15 例如，在 XGA 标准（1024 × 760 象素）作为例子的情况下，在前述的驱动电路中，要求 D/A 转换器用于 1024 个信号行的每一个。

近来，同样在个人计算机领域中，因为广泛使用在屏幕显示不同特性的多个图象的软件，相应于分辨率比 VGA 或 SVGA 标准要高的 XGA 或 SXGA 标准的显示装置越来越普遍。

20 而且，投入使用的具有高分辨率的上述液晶显示装置还用作为电视信号显示而不是个人计算机中的数据信号显示。

近年来，为了在诸如高分辨率的 TV(HDTV)或扩展分辨率的 TV 中显现漂亮的图片质量，一张图片的图象数据变成传统 TV 的几倍。可是，因为通过扩大屏幕，改进了可视性以及在一个显示装置上容易显示多张图片，增加了对大屏幕和高灰度的要求。

25 作为未来数字广播的 TV(ATV)的显示分辨率标准，有希望的是 1920 × 1080 象素的标准，并且要求减少驱动电路部分的区域。

可是，如上所述，因为 D/A 转换电路所占的区域较大，当象素增加时，驱动电路部分的区域变得很大，这阻碍了对液晶显示装置的小型化。

30 本发明根据前述问题而提出，并且本发明的一个目的是在驱动电路部分通过

降低 D/A 转换电路所占的区域以提供一个小小的半导体显示装置，尤其是一个液晶显示装置。

根据本发明的一个方面，半导体显示装置包括一个 D/A 转换电路部分，其中该部分包含多个 D/A 转换电路，并且多个 D/A 转换电路的每一个顺序地使得由存储电路供给的数字灰度信号进行模拟转换。上述目的由此装置完成。

存储电路可包括多个闭锁电路。

根据本发明的另一个方面，半导体显示装置包括一个存储电路，以储存 m 个 x 位数字灰度信号 (m 和 x 为自然数)，和一个 D/A 转换电路部分，以使得由存储电路供给的 m 个 x 位数字灰度信号模拟转换，并且把模拟信号供给 m 个源极信号行，D/A 转换电路部分包括 n 个 D/A 转换电路部分 (n 是自然数)，并且 n 个 D/A 转换电路部分的每一个顺序地使得 m/n 个 x 位数字灰度信号模拟转换，以供给相应于 m/n 个源极信号行的被转换信号。上述目的由本装置完成。

存储电路可包括多个闭锁电路。

仍然根据本发明的另一个方面，一种驱动半导体显示装置的方法包括对一个行储存 m 个 x 位数字灰度信号 (m 和 x 为自然数) 的步骤，和在一个行周期内被 n 个 D/A 转换电路部分 (n 是自然数) 的每一个顺序地使得 m/n 个 x 位数字灰度信号模拟转换，以传输相应于 m/n 个源极信号行的被转换信号的步骤。上述目的由此方法完成。

仍然根据本发明的另一个方面，一种驱动半导体显示装置的方法包括由来自移位寄存器的计时信号采样和储存 m 个 x 位数字灰度信号 (m 和 x 为自然数) 的步骤，和被 n 个 D/A 转换电路部分 (n 是自然数) 的每一个顺序地使得 m/n 个 x 位数字灰度信号模拟转换以传输相应于 m/n 个源极信号行的灰度电压的步骤。上述目的由此方法完成。

日本专利申请 No.9-344351 公开了一种 D/A 转换电路，该发明在此作为参考。

另外，日本专利申请 No.9-365054 公开了一种 D/A 转换电路和半导体装置，该发明在此作为参考。另外，日本专利申请 No.10-100638 公开了一种用于半导体显示装置的半导体显示装置和驱动电路，该发明在此作为参考。

图 1 表示传统的数字灰度半导体显示装置的简图；

图 2 表示根据本发明实施例的半导体显示装置的简图；

图 3 是根据本发明实施例的半导体显示装置的源极信号行的计时图；

图 4 是根据本发明实施例的 D/A 转换部分的结构图;
图 5 是根据本发明实施例的 D/A 转换部分的计时图;
图 6A 至 6D 是根据本发明实施例的半导体显示装置的制造步骤图;
图 7A 至 7D 是根据本发明实施例的半导体显示装置的制造步骤图;
图 8A 至 8C 是根据本发明实施例的半导体显示装置的制造步骤图;
图 9 是根据本发明实施例的半导体显示装置的截面图;
图 10A 至 10C 是根据本发明实施例的半导体显示装置的俯视图和侧视图;
图 11 是根据本发明实施例的半导体显示装置的有源矩阵衬底的截面图;
图 12 是根据本发明实施例的半导体显示装置的有源矩阵衬底的截面图;
图 13A 至 13F 表示安装有本发明半导体显示装置的半导体装置的实例;
图 14 是根据本发明实施例的半导体显示装置的局部结构图;
图 15 是根据本发明实施例的半导体显示装置的框图;
图 16 是根据本发明实施例的选择器电路(开关电路)的电路结构图;
图 17 是根据本发明实施例的选择器电路(开关电路)的电路结构图;
图 18 是根据本发明实施例的选择器电路(开关电路)的计时图;
图 19 是根据本发明实施例的半导体显示装置的照片;
图 20 是 CGS 的 TEM 照片;
图 21 是高温多晶态硅的 TEM 照片;
图 22A 和 22B 是 CGS 的电子束衍射图形和高温多晶态硅的照片;
图 23A 和 23B 是 CGS 和高温多晶态硅的 TEM 照片。

(实施例 1)

在本实施例中，位于源极信号行侧的驱动电路(驱动器)中，对每四个源极信号行提供一个 D/A 转换电路，以便减少驱动电路中被 D/A 转换电路所占的区域。

在本实施例中，将对显示分辨率为 1920×1080 例子的液晶显示装置进行解释。将参见图 2。图 2 是本实施例液晶显示装置的简图。参考数 201 表示源极信号行移位寄存器，202 表示把数字灰度信号供给闭锁电路 203(LAT1.0 至 LAT1.1919)的地址解码器。在本实施例中，虽然把 4 位数字灰度的驱动电路作为例子，但本发明不限于此，可应用于 6 位、8 位、或其他数字灰度驱动电路。

参考数 204 表示闭锁电路(LAT2.0 至 LAT2.1919)，它根据来自闭锁脉冲行 205 的闭锁脉冲几乎立刻储存从 LAT1 组的 LAT1.0 至 LAT1.1919 传输的数据。信号

的信号对提供给数字解码器 202 的灰度信号依次地执行向 LAT1 组中的写入。

下面，将描述供给信号行 206 的灰度信号由 D/A 转换电路部分 207 被顺序转换成灰度电压并传输到源极信号行 S0 至 S1919 的操作，同时采用图 3 中最左侧开关电路 209、D/A 转换电路 208、和开关电路 210 作为例子。

再次参见图 14。在灰度信号再次顺序写入 LAT1 组的一个周期内，在 D/A 转换部分 207 中一个行周期被分成四部分，开关电路 209 的四个开关被顺序连接到信号行 L0.0 至 L0.3，L1.0 至 L1.3，L2.0 至 L2.3，和 L3.0 至 L3.3，并且开关电路 210 被顺序连接到源极信号行 S0 至 S3。即，在第一个第四行周期内，开关电路 209 的四个开关同时选择来自闭锁电路 LAT2.0 的信号行 L0.0 至 L0.3，并且开关电路 210 选择源极信号行 S0。在此期间，供给闭锁电路 LAT2.0 的四位灰度信号同时被输入 D/A 转换电路 208，并且在灰度信号被 D/A 转换电路 208 转换成模拟灰度电压后，灰度电压被传输到源极信号行 S0。另一方面，虽然灰度信号被连续从闭锁电路 LAT2.1 至 LAT2.3 供到信号行 L1.0 至 L3.3，但开关电路 209 不选择信号行 L1.0 至 L3.3。在此期间，开关电路 210 不选择源极信号行 S1 至 S3。

下面，在下一个第四行周期期间，开关电路 209 的四个开关同时从闭锁电路 LAT2.1 选择信号行 L1.0 至 L1.3，并且开关电路 210 选择源极信号行 S1。在此期间，供给闭锁电路 LAT2.1 的灰度信号被 D/A 转换电路 208 转换成灰度电压，然后，灰度电压被传输到源极信号行 S1。另一方面，在此期间，灰度信号被连续供给来自闭锁电路 LAT2.0，LAT2.2 和 LAT2.3 的信号行 L0.0 至 L0.3，L2.0 至 L2.3，和 L3.0 至 L3.3，开关电路 209 不选择信号行 L0.0 至 L0.3，L2.0 至 L2.3，和 L3.0 至 L3.3。在此期间，开关电路 210 不选择源极信号行 S1，S2 和 S3。

另外，在下一个第四行周期期间，开关电路 209 的四个开关同时从闭锁电路 LAT2.2 选择信号行 L2.0 至 L2.3，并且开关电路 210 选择源极信号行 S2。在此期间，供给闭锁电路 LAT2.2 的灰度信号被 D/A 转换电路 208 转换成灰度电压，然后，灰度电压被传输到源极信号行 S2。另一方面，在此期间，灰度信号被连续从闭锁电路 LAT2.0，LAT2.1 和 LAT2.3 供到信号行 L0.0 至 L0.3，L1.0 至 L1.3，和 L3.0 至 L3.3，开关电路 209 不选择信号行 L0.0 至 L0.3，L1.0 至 L1.3，和 L3.0 至 L3.3。在此期间，开关电路 210 不选择源极信号行 S1，S2 和 S3。

另外，在下一个第四行周期期间（即，一个行周期的最后第四行周期），开关电路 209 的四个开关同时从闭锁电路 LAT2.3 选择信号行 L3.0 至 L3.3，并且开

关电路 210 选择源极信号行 S3。在此期间，供给闭锁电路 LAT2.3 的灰度信号被 D/A 转换电路 208 转换成灰度电压，然后，灰度电压被传输到源极信号行 S3。另一方面，在此期间，灰度信号被连续从闭锁电路 LAT2.0 至 LAT2.2 供到信号行 L0.0 至 L0.3，L1.0 至 L1.3，和 L2.0 至 L2.3，开关电路 209 不选择信号行 L0.0 至 L0.3，L1.0 至 L1.3，和 L2.0 至 L2.3。在此期间，开关电路 210 不选择源极信号行 S0 至 S2。

通过上述操作，灰度电压对于每第四行周期被顺序传输到源极信号行 S0 至 S3。电压通过传输到源极信号行的灰度电压被顺序供给象素 TFTs，并且扫描信号被供给来自栅极信号行移位寄存器 212 的扫描行 213，并且象素被切换。

上述操作同时对每四个闭锁电路 LAT2.0 至 LAT2.1919 执行。

当在一个周期内结束灰度电压向源极信号行的传输时，结束向 LAT1 组写入新的灰度信号，以便写入在 LAT1 组的灰度信号通过来自闭锁脉冲行 205 的闭锁脉冲被再次几乎立即传输到 LAT2 组。LAT2 组储存新的灰度信号，并向信号行 206 连续供给灰度信号。

然后，如上所述，开关电路 209 和开关电路 210 开始选择信号行 206 的信号行 L0.0 至 L3.3 和源极信号行 S0 至 1919。

图 3 表示传输到源极信号行 S0 至 S1919 数据的计时。虽然模拟灰度电压实际上供给源极信号行 S0 至 S1919，但图 3 只表示当供给灰度电压时的计时。

上述操作对所有选择的扫描行进行以形成一个屏幕的图象。一秒钟形成一个图象 60 次。

此处，D/A 转换部分 207 的电路结构将参见图 4 描述。为便于解释，虽然图 2 只表示最左边开关电源 209，D/A 转换电路 208，和开关电路 210，但提供了如图 4 所示每个具有相同结构的 480 个电路。另外，为便于解释，开关电路 209 用逻辑电路符号表示。因为已知的 D/A 转换电路可用于 D/A 转换电路 208，此处略去对其的解释。

开关电路 209 包括四个信号行 LS0 至 LS3，十六个 2 输入 NAND 电路（N0 至 N15），和四个 4 输入 NAND 电路（4inN0 至 4inN3）。开关电路 210 包括八个信号行 SS0 至 SS3 及逆 SS0 至逆 SS3，和每个由 N 通道 TFT 和 P 通道 TFT 构成的四个模拟开关（ASW0 至 ASW3）。传输给信号行 SS0 至 SS3 的逆信号被传输给信号行逆 SS0 至逆 SS3。

同样如图 4 所示，来自 LAT2 组的信号行 L0.0 至 L3.3 和信号行 LS0 至 LS3 被输入 2 输入 NANDs (N0 至 N15)。这些十六个 2 输入 NANDs 的输出被输入给四个 4 输入 NANDs (4inN0 至 4inN3)。

四个 4 输入 NANDs 的输出被输入给 D/A 转换电路 208。

从 D/A 转换电路 208 的输出被输进四个模拟开关 (ASW0 至 ASW3)。四个模拟开关被来自信号行 SS0 至 SS3 和逆 SS0 至逆 SS3 的信号所控制。

对所有闭锁电路 LAT2 (LAT2.0 至 LAT2.1919) 的每四个安置上述结构。

图 5 表示输入到各个信号行的信号计时图。4 位数字灰度信号被输入到 LAT2 组 (LAT2.0 至 LAT2.1919)。输入到 LAT2 组的灰度信号对于每一个行周期重写进新的灰度信号。

因为一个 Hi 信号对于每个第四行周期被顺序输入到信号行 LS0 至 LS3，所以供给 LAT2 组的 4 位数字灰度信号对于每个第四行周期被顺序输入到 D/A 转换电路 208。

输入到 D/A 转换电路 208 的数字灰度信号被转换成模拟灰度电压，并且灰度电压被输入到较低的模拟开关 ASW0 至 ASW3。模拟开关 ASW0 至 ASW3 被信号行 SS0 至 SS3 和它们的逆信号行 SS0 至 SS3 控制。通过顺序开启模拟开关 ASW0 至 ASW3，对于每个第四行周期灰度电压被顺序输入给源极信号行 S0 至 S3。

上述操作对来自 LAT2 组的所有灰度信号进行，并且灰度电压被传输到所有的相应源极信号行。虽然模拟灰度电压实际上供给源极信号行 S0 至 S1919，但图 3 只表示当供给灰度电压时的计时。

在此方式中，对一个行周期开启像素 TFTs。上述操作对所有被选择的扫描行 (1080 行) 进行，以便形成一个屏幕 (一帧) 的图象。。

在此实施例中，因为一秒钟形成一个屏幕 60 次，一帧周期是 $1/60=16.7$ 毫秒。一个行周期是 $1/60/1080=15.4$ 微秒，并且驱动各个像素的周期是 $1/60/1080/4=3.86$ 微秒。对于有能力实现这样高速驱动的像素 TFT 所要求的特征是载流子迁移率为 $30\text{cm}^2/\text{Vs}$ 或更大。在下面描述的实施例 2 中，将描述可实现高速执行 TFT 的制造半导体装置的方法。

根据本实施例的驱动电路，因为可使在驱动电路中占有大面积的 D/A 转换电路的数目为传统驱动电路中的四分之一，即使考虑开关电路的增加，也有可能实现半导体显示装置的小型化。

在此本实施例中，虽然可使 D/A 转换电路的数目为传统驱动电路中的四分之一，在本发明中，D/A 转换电路的数目可改变为其他数目。例如，在一个 D/A 转换电路被分配给八个源极信号行的情况下，在本实施例的半导体显示装置中，D/A 转换电路的数目变为 240，以使进一步降低驱动电路的面积成为可能。类似地，不限制本实施例有多少源极信号行被分配给一个 D/A 转换电路。

因此，在本发明半导体显示装置具有 m 个源极信号行（ m 是自然数）（换言之，在像素数目（水平 \times 垂直）为 $m \times$ 任意数的情况下）的情况下，对一个行提供 m 个 x 位数字灰度信号（ x 是自然数）。在这种情况下，如果本发明的半导体显示装置包含有 n 个 D/A 转换电路（ n 是自然数）的 D/A 转换电路部分，则各个 10 D/A 转换电路把 m/n 个数字灰度信号顺序转换成模拟信号，并把模拟信号供给相应的 m/n 源极行。最好使用相应于数字灰度信号位数的 D/A 转换电路。

（实施例 2）

在本实施例中，将描述一种制造具有在本实施例 1 中使用的驱动电路的液晶显示装置的方法。

在此实施例中，多个 TFTs 形成在绝缘表面的衬底上并且像素阵列电路和包括驱动电路的周边电路以单块方式形成的实例将参见图 6 至 9 来描述。在此实施例中，一个作为基本电路的 CMOS 电路将作为周边电路的实例如驱动电路。在此实施例中，虽然将要描述分别包括一个栅极电极的 P 通道 TFT 和 N 通道 TFT 的电路的制造步骤，用这种方法还可制造每个包含多个栅极电极的 TFTs 的 CMOS 电 20 路，如双栅极型。

参见图 6A 至 6D。首先，石英衬底 601 备作绝缘表面的衬底。可采用形成热氧化膜的硅衬底以替代石英衬底。可是，可采用非晶态硅膜暂时形成在石英衬底，并且膜被完全热氧化以形成一个绝缘膜的方法。另外，可采用每个形成有氮化硅膜作为绝缘膜的石英衬底，陶瓷衬底，或硅衬底。

参考数 602 表示非晶态硅膜，并且作一调整以使最终的膜厚度（在考虑到膜减少随后热氧化之后确定膜厚度）变成 10 至 75mm（最好 15 至 45mm）。在成膜过程中，重要的是完全控制膜中杂质浓度。

在非晶态硅膜的成膜过程中，完全控制膜中杂质浓度是重要的。在本实施例的情况下，实施控制以使在非晶态硅膜 602 中阻碍晶化的杂质的每个 C（碳）和 30 N（氮）的浓度，变得小于 5×10^{18} 原子/cm³（典型地为 5×10^{17} 原子/cm³ 或更

少，最好为 2×10^{17} 原子/cm³），并且 O（氧）的浓度变为小于 1.5×10^{19} 原子/cm³（典型地为 1×10^{18} 原子/cm³ 或更少，最好为 5×10^{17} 原子/cm³）。如果任一杂质的浓度超出上述值，则在随后的晶化中杂质具有不好的影响，并在晶化后可造成膜质量下降。在本特例中，膜中杂质的上述浓度被定义为 SIMS（次级离子质谱）测量结果的最小值。

为了得到上述结构，最好定时地执行本发明采用的使得膜增长腔清洁的低压 CVD 熔炉的干燥清洁。膜增长腔的干燥清洁最好通过流过 100 至 300sccm 的 ClF₃（氯化氟）气体进入熔炉加热至 200 到 400 °C，并采用由高温分解产生的氟来执行。

根据本发明者的知识，在熔炉中温度为 300 °C 且 ClF₃（氯化氟）气体流动为 300sccm 的情况下，有可能在 4 小时内全部去除厚度为 2 微米的碴壳（硅为主要成分）。

在非晶硅膜 602 中氢的浓度同样为非常重要的参数，且表现为氢含量较低时，可得到较高的可结晶性膜。因此，最好通过低压 CVD 方法形成非晶硅膜 602。

如果膜形成条件理想也可采用等离子 CVD 法。

下一步，非晶硅膜 602 被晶化。采用日本未审定的专利公开物 No.Hei. 7-130652 所公开的技术作为晶化的方法。

虽然可采用实施例 1 和实施例 2 公开的技术，在本实施例中，最好采用实施例 2 提出的技术内容（在日本未审定的专利公开物 No.Hei. 8-78329 中详细描述）。

根据日本未审定的专利公开物 No.Hei. 8-78329 公开的技术，首先形成用于选择催化元素掺加区的掩模绝缘膜 603。掩模绝缘膜 603 具有多个开口以掺加催化元素。晶体区域的位置可通过开口的位置来确定。

作为催化元素以促进非晶态硅膜的含镍(Ni)溶液通过旋转涂覆法被涂抹以形成一个含 Ni 层 604。可采用不同于镍的钴(Co)，铁(Fe)，钯(Pd)，锗(Ge)，铂(Pt)，铜(Cu)，金(Au)，或其他作为催化元素。（图 6A）

作为前述催化元素掺加步骤，也可使用采用离子注入法或掺等离子法的保护掩模。在这种情况下，因为它容易减少掺加区的占有面积和控制侧面增长区的增长距离，当形成微小的电路时该方法成为有效技术。

下一步，在结束催化元素掺加步骤时，在 450 °C 进行一小时脱氢，然后，在惰性气体、氢气、或氧气中以 500 至 700 °C（典型为 550 至 650 °C）进行 4 至 24

小时加热处理以晶化非晶态硅膜 602。在此实施例中，在氮气中以 570 °C 进行 14 小时的加热处理。

此时，非晶态硅膜 602 的晶化过程首先是由在掺入镍的区域 605 和 606 中产生晶核，以及形成几乎平行于衬底 601 的表面增长的晶体区 607 和 608。晶体区 5 607 和 608 分布称为侧增长区。因为在侧增长区的各个晶体以比较均匀的状态增长，侧增长区具有总体晶化较高的优点（图 6B）。

顺便提及，即使采用上述日本未审定的专利公开物 No.Hei. 7-130652 的实施例 1 提出的技术的情况下，微观地形成一个称为侧增长的区的区域。

可是，因为晶核产生在表面无规则出现，很难控制晶体颗粒的边界。

10 在结束晶化加热处理后，掩模绝缘膜 603 被去除并形成图案，以便形成岛状物的由侧增长区 607 和 608 造成的半导体层（活性层）609、610、和 611（图 6C）。

15 此处，参考数 609 表示组成 CMOS 电路的 N 型 TFT 的活性层，610 表示组成 CMOS 电路的 P 型 TFT 的活性层，和 611 表示组成象素矩阵电路的 N 型 TFT（象素 TFT）的活性层。

在形成活性层 609、610 和 611 后，在其上形成由含硅的绝缘膜制成的栅极绝缘膜 612。

下面，如图 6D 所示，进行加热处理（对催化元素的吸气过程）以去除或减少催化元素（镍）。在此加热过程中，卤族元素加入处理空气中并且采用由卤族 20 元素对金属元素的吸气作用。

为了有效得到由卤族元素的吸气作用，最好在温度超出 700 °C 时进行上述加热处理。如果温度不高于 700 °C，在处理空气中分解卤族化合物将变得很困难，因此恐怕不能得到吸气作用。

因此，在本实施例中，加热处理在温度超出 700 °C 时进行，最好为 800 至 1000 25 °C（典型为 950 °C），以及处理时间为 0.1 至 6 小时，典型为 0.5 至 1 小时。

在此实施例中，给出了在 950 °C 对含有 0.5 至 10 % 体积百分比（在此实施例中，为 3 % 体积百分比）的氯化氢（HCl）的氧气中进行 30 分钟热处理的实例。如果 HCl 的浓度高于上述浓度，在活性层 609、610 和 611 的表面产生相对于膜厚度的粗糙度。因此，这样的高浓度不是最好的。

30 虽然已描述了 HCl 气体被用作含卤族元素的化合物的实例，但可采用不同于

HCl 气体的其他从含卤族的化合物选择的一种或多种气体, 如典型的 HF、NF₃、HBr、Cl₂、ClF₃、BCl₃、F₂、和 Br₂。

在此步骤中, 可以想象以这种方式去除镍, 即在活性层 609、610 和 611 中的镍被氯的作用下吸去并被转化为挥发性的氯化镍, 挥发性的氯化镍被释放到空气中。通过此步骤, 在活性层 609、610 和 611 中的镍浓度低于 5×10^{17} 原子/cm³ 或更少。

顺便提及, 5×10^{17} 原子/cm³ 值是 SIMS (次级离子质谱) 探测的低限。作为本发明试验产生的 TFTs 分析结果, 当浓度不高于 1×10^{18} 原子/cm³ (最好为 5×10^{17} 原子/cm³ 或更少), 镍对 TFT 特性的影响不可确定。可是, 应该注意到本特例中杂质的浓度限定为 SIMS 分析的测量结果的最小值。

通过上述热处理, 在栅极绝缘膜 612 和活性层 609、610 和 611 之间的界面处进行热氧化反应, 以便栅极绝缘膜 612 的厚度随热氧化膜厚度的增加而增加。当热氧化膜以此方式形成时, 有可能得到具有低界面水平的半导体/绝缘界面。可是, 还有可能在活性层的端部阻止较差热氧化膜的形成 (薄边界)。

催化元素的吸气过程可在掩模绝缘膜 603 被去除之后和活性层形成图案之前进行。并且, 催化元素的吸气过程可在活性层形成图案之后进行。另外, 任何吸气过程可结合起来。

另外, 下面过程也是有效的, 即在上述卤族空气中的热处理后, 在氮空气中大约 950 °C 时热处理一小时以改进栅极绝缘膜 612 的膜质量。

顺便提及, 还可由 SIMS 分析确定用于吸气过程的卤族元素在活性层 609、610 和 611 中保留有 1×10^{15} 原子/cm³ 至 1×10^{20} 原子/cm³ 的浓度。

然而, 还可通过 SIMS 分析在那个时间确定, 上述高浓度的卤族分布在活性层 609、610 和 611 以及由热处理形成的热氧化膜之间。

作为对其他元素的 SIMS 分析结果, 还可确定以任何 C (碳)、N (氮)、O (氧)、和 S (硫) 作为典型杂质的浓度小于 5×10^{18} 原子/cm³ (典型为 1×10^{18} 原子/cm³ 或更少)。

下面, 形成未示出的以铝为主要成分的金属膜, 并且随后的栅极电极的原有的 613、614 和 615 形成图案。在此实施例中, 采用含 2% 重量钪的铝金属膜 (图 7A)。

顺便提及, 掺杂质的多晶硅膜可用于栅极电极, 代替含铝的金属膜作为主要

成分。

下面，通过日本未审定的专利公开物 No.Hei. 7-135318 所公开的技术，形成多孔阳极氧化膜 616、617 和 618、无孔阳极氧化膜 619、620 和 621，和栅极电极 622、623 和 624（图 7B）。

用此法得到图 7B 所示的状态之后，下一步通过采用栅极电极 622、623 和 624 蚀刻栅极绝缘膜 612，和多孔阳极氧化膜 616、617 和 618 作为掩模。然后多孔阳极氧化膜 616、617 和 618 被去除以得到图 7C 所示的状态。顺便提及，图 7C 中的参考数 625、626 和 627 表示处理后的绝缘膜。

下面，进行给定一种传导率的杂质添加步骤。作为杂质元素，对 N 型可采用

P（磷）或 As（砷），对 P 型可采用 B（硼）或 Ga（镓）。

在此实施例中，杂质添加被分成两次进行。第一杂质添加（在此实施例中采用 P（磷））以大约 80KeV 的高加速电压进行，以形成 n 区。进行调整以便在 n 区中的 P 离子浓度变成 1×10^{18} 原子/cm³ 至 1×10^{19} 原子/cm³。

另外，第二杂质添加以大约 10KeV 的低加速电压进行，以形成 n⁺区。因为在那个时间加速电压较低，栅极绝缘膜作为掩模。进行调整以便在 n⁺区中薄片电阻为 500Ω 或更少（最好为 300Ω 或更少）。

通过上述步骤，形成组成 CMOS 电路的 N 型 TFT 的源极区 628、漏极区 629、低浓度杂质区 630、和通道形成区 631。而且，定义了组成象素 TFT 的 N 型 TFT 的源极区 632、漏极区 633、低浓度杂质区 634、和通道形成区 635（图 7D）。

在图 7D 所示的状态中，组成 CMOS 电路的 P 型 TFT 的活性层与 N 型 TFT 的活性层同样具有相同结构。

下面，如图 8A 所示，提供了覆盖 N 型 TFTs 的抗掩模，并添加了用于产生 P 型的杂质离子（在此实施例中采用硼）。

虽然此步骤类似前述杂质添加步骤同样被分成两次，因为 N 型必须被转换成 P 型，添加了浓度几倍于前述 P 离子添加浓度的 B（硼）离子。

此方法中，形成了组成 CMOS 电路的 P 型 TFT 的源极区 637、漏极区 638、低浓度杂质区 639、和通道形成区 640（图 8A）。

在以上述方式完成活性层之后，通过熔炉退火、激光退火、白炽灯退火等的结合激活杂质离子。同时，在添加步骤中受损害的活化层被修复。

下面，作为夹层绝缘膜 641，形成氧化硅膜和氮化硅膜的夹层膜。下面，在

夹层绝缘膜中形成接触孔之后，形成源极电极 642、643 和 644，以及漏极电极 645 和 646 以得到如图 8B 所示的状态。可采用有机树脂膜作为夹层绝缘膜 641。

在得到如图 8B 所示的状态后，形成由有机树脂膜制成并具有厚度为 0.5 至 3 μm 的第二夹层绝缘膜 647。可采用聚酰亚胺、丙烯酰基、聚酰亚胺酰胺等作为 5 有机树脂膜。采用有机树脂膜的优点如下：膜形成方法简单、膜厚度容易制得厚，因为相对介电常数较低可降低附加电容量，以及平展性好。

下面，由阴影性质制成并具有厚度为 100nm 的黑色掩模 648 形成在第二夹层绝缘膜 647 上。虽然在本实施例中钛膜被用作黑色掩模 648，但可采用含有黑色色素的树脂膜等。

10 在形成黑色掩模 648 之后，形成由氧化硅膜、氮化硅膜和有机树脂膜或上述膜的夹层膜中的其中一种制成并具有厚度为 0.1 至 0.3 μm 的第三夹层绝缘膜 649。在第二夹层绝缘膜 647 和第三夹层绝缘膜 649 中形成接触孔，并形成具有厚度为 120nm 的像素电极 650。根据本实施例的结构，在叠加像素电极的黑色掩模 648 处形成辅助电容量（图 8C）。因为，本发明涉及透射型液晶显示装置，ITO 的 15 透明传导膜等被用作形成像素电极 650 的传导膜。

下面，整个衬底在氢气中以 350 °C 温度加热 1 至 2 小时以氢化整个装置，以便膜中（特别是在活性层中）的悬挂键（未配对键）被补偿。通过上述步骤，有可能在相同的衬底上制造 CMOS 电路和像素矩阵电路。

20 下面，如图 9 所示，将描述基于通过上述步骤制造的有源矩阵衬底的液晶板的制造步骤。

取向膜 651 以图 8C 状态形成在有源矩阵上。在此实施例中，聚酰亚胺用于取向膜 651。之后，制备相对的衬底。相对的衬底由玻璃衬底 652、透明传导膜 653、和取向膜 654 组成。

在此实施例中，那些液晶分子取向平行于衬底的聚酰亚胺膜被用作取向膜。

25 顺便提及，在取向膜形成之后，进行摩擦过程以便液晶分子与固定的预倾角平行。

虽然根据需要彩色滤光片等可形成在相对衬底上，但此处略去。

下面，通过上述步骤得到的有源矩阵衬底和相对衬底通过已知的单元构成法（未示出）用密封材料、垫片等相互粘结。因此，液晶材料 655 被插入两个衬底之间，并用密封剂（未示出）完全密封。由此，完成如图 9 所示的透射型液晶板。

30 在此实施例中，液晶板被设计成用 TN（扭转相列）模式来显示。因此，安

置一对偏振板（未示出），以使得液晶板以正交尼科耳方式被夹持在偏振板之间（一对偏振板的偏振轴以直角相交的状态）。

因此，应当明白在本实施例中，当不施加电压时，显示以液晶板变得以白色显示状态的正常白色模式来表示。

图 10A 至 10C 为表示被制造的液晶板外观的视图。在图 10A 至 10C 中，参数 100 表示石英衬底、1002 表示像素矩阵电路、1003 表示源极信号行驱动电路、1004 表示栅极信号行驱动电路、和 1005 表示其他逻辑电路。参考数 1006 表示相对的衬底、1007 表示 FPC（柔性印刷电路）端。图 10B 是从图 10A 中的箭头 A 方向看去时的本实施例液晶板视图，以及图 10C 是从图 10A 中的箭头 B 方向看去时的液晶板视图。

虽然广义地看逻辑电路 1005 包括所有的由 TFTs 组成的逻辑电路，但为了从传统称为像素矩阵电路或驱动电路中区分逻辑电路，本发明中逻辑电路特定表示信号处理电路（LCD 控制器、存储器、脉冲发生器等），而不是像素矩阵电路或驱动电路的电路。

图 10B 和 10C 表示在本实施例的液晶板中，有源矩阵衬底只在接触 FPC 的端部表面处暴露。应当理解其他三个端部表面是贴合的。

图 19 是本实施例有源矩阵型液晶显示装置的照片。由图 19，应当理解它显示了一个很好的核对图形。

此处，将描述根据本实施例制造法制造的半导体薄膜。根据本实施例的制造方法，有可能晶化非晶态硅膜并得到称为连续晶界晶体硅（所谓的连续晶界硅：CGS）的晶体硅膜。

通过本实施例制造法得到的半导体薄膜的侧增长区具有由棒状或平展的棒状晶体结合制成的独特的晶体结构。它们的特征将在下面描述。

[侧增长区的晶体结构的结果]

本实施例的侧增长区具有微观的晶体结构，其中多个棒状（平展的棒状）晶体以几乎相互平行的方式排列并匀称朝向特定的方向。这可容易地通过用 TEM（透射电子显微镜）观测确定。

本发明通过采用 HR-TEM（高分辨率透射电子显微镜）详细观测到由本实施例制造法得到的半导体薄膜的晶界（图 20）。在本发明特例中，晶界定义为形成在不同棒状晶体相互接触的界面处的晶界，除非另外给定。由此，认为晶界有不

同的形式，例如，显微晶界通过各个侧增长区的碰撞形成。

前述的 HR-TEM (高分辨率透射电子显微镜) 是一种方法，其中样品被电子束垂直照射，并且原子和分子的排列通过采用透过的电子或弹性散射电子的界面来估计。通过采用此方法，有可能观测到晶格排列状态为晶格带。由此，通过观测晶粒边界，有可能得到晶界中束缚态原子。

由本发明得到的 TEM 照片 (图 20) 中，观测到两个不同晶界 (棒状晶界) 在晶粒边界处相互接触的状态。此时。通过电子束衍射可以确定两个晶界几乎以 {110} 方向，虽然在晶体轴中包含了某些偏差。

如上所述通过 TEM 照片对晶格带的观测中，在 {110} 平面中观测到对应于 {110} 平面的晶格带。顺便提及，对应于 {111} 平面的晶格带表明为这样的晶格带，即当晶体颗粒沿晶格带方向切割时，{111} 平面在截面上显现。根据简化的方法，有可能通过晶格带之间的距离确定晶格带对应于什么样的板。

此时，本发明者详细观测了通过本实施例制造方法得到的半导体薄膜的 TEM 照片，以及作为其结果，得到了非常有意思的结果。在照片中见到的两个不同的晶粒，可见对应于 {111} 板的晶格带。以及观测到晶格带非常明显地相互平行。

另外，不考虑晶界的存在，两个不同的晶粒相互连接以横截晶界。即，可以确定几乎所有的观测到的横截晶界的晶格带相互线性连续，尽管它们是不同晶粒的晶格带。

这样的晶体结构 (晶界的精确结构) 表明在晶界处两个不同的晶粒很好地相互接触。即，在晶界处晶格带相互连续连接，以便形成这样的结构使很难产生由晶体缺陷等造成的空陷水平。换言之，可以认为晶格带在晶界处具有连续性。

在图 21 中，为便于参考，本发明者对传统的多晶体硅膜 (所谓的高温多品硅膜) 进行了电子束衍射和 HR-TEM 观测的分析。其结果是，发现了晶格带在两个不同的晶粒中是随机的并且在晶界处很难很好地连续连接。即，发现了在晶界处晶格带不连续的许多部分，并且有许多晶体缺陷。

本发明者把类似于本发明半导体装置液晶板中采用的半导体薄膜，晶格带相互对应具有很好一致性的情况下原子键状态，称为一致结合，并把在那个时间的化学结合称为一致键。相反，本发明者把通常在传统的多晶体硅膜中常见的晶格带不相互对应具有很好一致性的情况下原子键的状态，称为非一致结合，并把在那个时间的化学结合称为被非一致键 (或未配对键)。

因为本发明使用的半导体薄膜在晶粒处有极好的一致性，前述的非一致键非常弱。本发明者对任意多个晶界的研究结果给出，非一致键与总键的比例为 10% 或更少（较好为 5% 或更少，最好为 3% 或更少）。即，总键的 90% 或更多（较好为 95% 或更少，最好为 97% 或更少）由一致键构成。

图 22A 表示对根据前述实施例的制造步骤形成的侧增长区通过电子束衍射的观测结果。图 22B 表示为比较而观测的传统多晶硅膜（称为高温多晶硅膜）的电子束衍射图形。

在如图 22A 和 22B 所示的电子束衍射图形中，电子束照射区域的直径为 $4.25\mu\text{m}$ ，并聚集了足够大的区域的信息。在对任意多个部分的研究结果中此处的照片表示典型的衍射图形。

在图 22A 的情况下，因为对应于<110>的衍射点（衍射斑点）入射清晰，可以确定几乎所有的晶粒在电子束的照射区域以{110}取向。另一方面，在图 22B 所示的传统的高温多晶硅膜的情况下，在衍射点中未见一定的规律，并发现非{110}平面的平面取向晶粒为无规则混合。

类似地，本发明中采用的半导体薄膜的特征为虽然半导体薄膜包括晶界，但半导体薄膜表现出电子束衍射图案具有对{110}取向的有规则性。当电子束衍射图案与传统的相比较时，与传统的半导体薄膜的差异很清楚了。

如上所述，由上述实施例制造步骤制造的半导体薄膜为具有与传统的半导体薄膜很不同的晶体结构（晶界的精确结构）的半导体薄膜。本发明者解释了关于本发明以及日本专利申请 Nos. Hei. 9-55633, Hei. 9-165216 和 Hei. 9-212428 中采用的半导体薄膜的分析结果。

而且，因为本发明中使用的上述半导体薄膜晶粒的 90% 或以上由一致键组成，所以它们很难作为阻止载体运动的势垒。即，可以讲实质上本发明使用的半导体薄膜中没有晶界。

虽然在传统的半导体薄膜中晶界作为阻止载体运动的势垒，但因为这种晶界实质上在本发明使用的半导体薄膜中不存在，因此可实现高载体移动性。由此，通过采用本发明使用的半导体薄膜制造的 TFT 电子特性表现得极有价值。这将在下面描述。

[TFT 电子特性的结果]

因为本发明使用的半导体薄膜实质上可认为是单晶（因为实质上晶界不存

在)，作为活性层的所采用半导体薄膜的 TFT 表现出与采用单晶态硅的 MOSFET 可比的电子特性。下面显示的数据由本发明者从 TFTs 试验得到。

(1) 作为表示 TFT 开关特性的指数的亚阈值系数对 N 通道 TFT 和 P 通道 TFT 为小于 60 至 100mV/decade (典型地为 60 至 85 mV/decade)。

5 (2) 作为表示 TFT 操作速度的指数的场效迁移率(μ_{FE})对 N 通道 TFT 为大约 200 至 650cm²/Vs (典型为 250 至 300cm²/Vs)，对 P 通道 TFT 为大约 100 至 300cm²/Vs (典型为 150 至 200cm²/Vs)。

(3) 作为表示 TFT 驱动电压的指数的阈值电压(V_{th})对 N 通道 TFT 为小于-0.5 至 1.5V 和对 P 通道 TFT 为小于-1.5 至 0.5V。

10 如上所述，可确定本发明得到的 TFT 可实现极高的开关特性和高速的操作特性。

顺便提及，在 CGS 形成中，前述的在高于晶化温度的温度 (700 至 1100 °C) 处的退火步骤在降低晶粒的缺陷方面起着重要作用。

15 图 23A 为当前述的晶化步骤结束时晶态硅膜的 TEM 照片，它被放大了 25 万倍。在晶粒中确定了由箭头表示的 z 字形缺陷 (由对比度表现的黑色部分和白色部分)。

虽然这种缺陷主要为迭片结构缺陷，其中在硅晶格点阵面上原子的迭片顺序有差异，同样有断层等情况。图 23A 表明具有平行于{110}平面的缺陷平面的迭片结构缺陷。这可从 z 字形缺陷被弯曲成大约 70° 的事实得到肯定。

20 另一方面，如图 23B 所示，本发明采用的晶态硅中，被以相同的放大率放大，可肯定很难看见由迭片结构缺陷、晶粒断层等造成的缺陷，并且结晶度很高。在整个膜表面可见此趋势，并且在本环境中虽然很难把缺陷减少为零，但有可能把数目降低到实质为零。

25 即，在本发明半导体装置的液晶板中采用的晶态硅中，晶粒中的缺陷可降低到缺陷可忽略的程度，并且由于高度的连续性晶界不成为阻碍载体运动的势垒，以至于膜可认为是单晶体或实质上的单晶体。

类似地，在图 23A 和 23B 的照片所示的晶态硅膜中，虽然晶态晶界几乎连续，但在晶粒中缺陷数目存在很大差异。在图 23B 中所示的晶态硅膜的电子特性高于图 23A 所示的晶态硅膜的原因主要是缺陷数目的差异。

30 从上述可理解催化元素的吸气过程是形成 CGS 的不可缺少的步骤。本发明者

考虑了在此步骤中所发生现象的下列模式。

首先，在图 23A 所示的状态中，在晶粒中催化元素（典型地为镍）在缺陷处（主要为迭片结构缺陷）被隔离。即，可以想象有许多具有 Si-Ni-Si 形式的键。

可是，当存在于缺陷中的 Ni 由催化元素的吸气过程带出而去除时，Si-Ni 键被断开。由此，硅的剩余键立即形成 Si-Si 键并变得稳定。在此过程中，缺陷消失。

当然，虽然已知在晶态硅膜中的缺陷在高温处通过加热退火消失，但可假定因为键由于镍而被断开以及产生许多未配对键，因此可平稳地进行硅的再结合

本发明者还考虑如下模型，即通过在高于晶化温度和粘附性增加的温度（700 至 1100 °C）处热处理的晶态硅膜被结合到下层，以使得缺陷消失。

由此得到的晶态硅膜（图 23B）具有在晶粒中缺陷数目远小于仅进行晶化的晶态硅膜数目（图 23A）的特征。缺陷数目的差异表现为由电子自旋共振分析（电子自旋共振：ESR）给出的自旋密度的差异。在本例中，本发明采用的晶态硅膜的自旋密度最大为 1×10^{18}

转/cm³（典型为 5×10^{17} 转/cm³ 或更少）。

本发明中采用的具有上述晶体结构和特征的晶态硅膜，被称为连续晶界晶体硅（连续粒硅：CGS）。

（实施例 3）

在此实施例中，含有在实施例 1 中描述的驱动电路的半导体显示装置采用反向交错型制造。

将参见图 11。图 11 是本实施例半导体显示装置有源矩阵衬底的截面图。在图中，CMOS 电路表示为半导体显示装置驱动电路的典型电路。由像素 TFTs 构成的像素矩阵电路和其他周边电路也同时形成。

参考数 1101 表示衬底、1102 表示下绝缘膜、1103 和 1104 表示栅极电极、1105 表示栅极绝缘膜、1106 和 1107 表示 N 型 TFT 的源极/漏极区、1108 和 1109 表示低浓度杂质区、1110 表示通道形成区、1111 和 1112 表示 P 型 TFT 的源极/漏极区、1113 和 1114 表示低浓度杂质区、1115 表示通道形成区、1116 和 1117 表示通道阻塞、1118 表示夹层绝缘膜、以及 1119、1120 和 1121 表示源极/漏极电极。通道阻塞 1116 和 1117 在 N 型和 P 型 TFTs 的通道形成区起掺杂掩模的作用。

本实施例的半导体活性层可通过实施例 2 的方法制成多晶体。

而且，本实施例的半导体活性层可通过激光退火技术制多晶体。

其他结构同实施例 2。

(实施例 4)

在此实施例中，含有在实施例 1 中描述的驱动电路的半导体显示装置采用不

5 同于实施例 3 的反向交错型制造。

将参见图 12。参考数 1201 表示衬底、1202 表示下绝缘膜、1203 和 1204 表示栅极电极、1205 表示栅极绝缘膜、1206 和 1207 表示半导体活性层、1208 和 1209 表示 n⁺层、1210 和 1211 p⁺层、1212、1213、和 1214 表示源极/漏极电极、以及 1215 表示通道保护膜。

10 本实施例的半导体活性层可通过实施例 2 的方法制多晶体。

而且，本实施例的半导体活性层可通过激光退火技术制多晶体。

其他结构同实施例 2。

(实施例 5)

在此实施例中，将描述开关电路的特定电路结构的实例。在此实施例中，将

15 给出有源矩阵型半导体显示装置的主要部分的框图。移位寄存电路、闭锁电路等可参考实施例 1。同样在此实施例中，有可能构造采用液晶作为显示媒介的有源矩阵型液晶显示装置。

参见图 15。图 15 是本实施例有源矩阵型半导体显示装置的主要部分的框图。

不同于实施例 1 的是源极信号行驱动电路被上下使用，以便像素矩阵电路被置于 20 驱动电路之间，栅极信号行驱动电路被左右使用，以便像素矩阵电路被置于驱动电路之间，水平移位电路被用于源极信号行驱动电路安置了数字视频数据分配电路，等等。至于 D/A 转换电路，虽然此 D/A 转换电路在实施例 1 中使用，仍有可能设计成数字视频数据被分成较上位和较下位，并且通过第一和第二 D/A 转换电路将数字视频数据转换成模拟图象信号。最好把水平移位电路作为必要设计，但 25 不总是要求采用该电路。

本实施例有源矩阵型半导体显示装置包括源极信号行驱动电路 A 1501、源极信号行驱动电路 B 1511、栅极信号行驱动电路 A 1512、栅极信号行驱动电路 B 1515、像素矩阵电路 1516、和数字视频数据分配电路 1510。

源极信号行驱动电路 A 1501 包括移位寄存电路 1502、缓冲电路 1503、闭锁 30 电路(1) 1504、闭锁电路(1) 1505、选择器(开关) 电路(1) 1506、水平移位电路

1507、D/A 转换电路 1508、和选择器(开关)电路(2) 1509。源极信号行驱动电
路 A 1501 提供图象信号(灰度电压信号)给单数源极信号行。在此实施例中，等
同于实施例 1 中解释的开关电路的电路将参考作为选择器电路。

将描述源极信号行驱动电路 A 1501 的操作。起始脉冲和时钟脉冲输入给移位
5 寄存电路 1502。根据前述的起始脉冲和时钟脉冲移位寄存电路 1502 顺序提供计
时信号给缓冲电路 1503。

来自移位寄存电路 1502 的计时信号被缓冲电路 1503 缓冲。因为许多电路或
部件在移位寄存电路 1502 和连接象素矩阵电路 1516 的源极信号行之间连接，荷
载电容较大。安装此缓冲电路 1503 以阻止由大荷载电容引起的计时信号“滞后”。

10 被缓冲电路 1503 缓冲的计时信号提供给闭锁电路(1) 1504。闭锁电路(1) 1504
包括每个处理 2 位数据的 960 闭锁电路。当输入计时信号时，闭锁电路(1) 1504
顺序接收由数字视频数据分配电路提供的数字信号并保存。

当结束数字信号写入闭锁电路(1) 1504 的所有闭锁电路的时间，被称为一个行
周期(水平扫描周期)。即，一个行周期是把来自数字视频数据分配电路的数字
15 视频数据写入闭锁电路(1) 1504 最左侧闭锁电路的起始点和数字视频数据写入最
右侧闭锁电路的结束点之间的时间间隔。

在结束数字视频数据写入闭锁电路(1) 1504 之后，当闭锁脉冲流向闭锁脉冲行
时写入闭锁电路(1) 1504 的数字视频数据几乎同时被传输并写入闭锁电路(2)
1505，与闭锁电路(2) 1505 连接，并与移位寄存电路 1502 的操作计时同步。

20 通过来自移位寄存器电路 1502 的计时信号再次顺序执行由数字视频数据分
配电路供给的数字视频信号的写入，进入闭锁电路(1) 1504，其中闭锁电路(1) 1504
结束向闭锁电路(2) 1505 传输数字视频数据。闭锁电路(1) 1504 和闭锁电路(2) 1505
的操作与实施例 1 相同。

在第二个一行周期期间，与第二个一行周期的开始同步的传输给闭锁电路(2)
25 1505 的数字视频数据被选择器电路(1) 1506 顺序选择。本实施例选择器电路的结
构和操作将在后面描述。

被选择器电路(1) 1506 选择、来自闭锁电路的 2 位数字视频数据供给水平移位
电路 1507。数据的电压水平由水平移位电路 1507 提高，并且数字视频数据供给
D/A 转换电路 1508。D/A 转换电路 1508 把 2 位数字视频数据转换成模拟信号(灰
30 度电压)，以及模拟信号被顺序供给由选择器电路(2) 1509 选择的源极信号行。供

给源极信号行的模拟信号被供给象素矩阵电路 1516 的象素 TFT 的源极区。

在栅极信号行驱动电路 A 1512 中，来自移位寄存器电路 1513 的计时信号供给缓冲电路 1514，并供给对应的栅极信号行（扫描行）。一行象素 TFTs 的栅极电极与栅极信号行连接，并且因为此时所有的一行象素 TFTs 必须处于 ON，所以采用了具有大电流容量的缓冲电路 1514。

类似地，通过扫描来自栅极信号行移位寄存器的信号执行相应的 TFTs 的开关，来自源极信号行驱动电路的模拟信号（灰度电压）被供给象素 TFTs，并驱动液晶分子。

参考数 1511 表示源极信号行驱动电路 B，且其结构与源极信号行驱动电路 A 1501 相同。源极信号行驱动电路 B 1511 把图象信号供给偶数源极信号行。

参考数 1515 表示栅极信号行驱动电路 B，其结构与栅极信号行驱动电路 A 1512 相同。在此实施例中，用此法将栅极信号行驱动电路安置在象素矩阵电路 1516 的两侧，且操作两个栅极信号行驱动电路，以便即使它们的其中一个不工作时，也不会造成低质量的显示。

参考数 1510 表示数字视频数据驱动电路。数字视频数据驱动电路是用于降低 $1/m$ 由外侧输入的数字视频数据频率的电路。通过分配数字视频数据，驱动电路操作要求的信号频率也可降低 $1/m$ 。

与本申请相同代理人的日本专利申请 No. Hei. 9-356238 公开了数字视频数据分配电路被结合形成在相同衬底上作为象素矩阵电路或其他驱动电路。上述专利申请详细公开了数字视频数据分配电路，并且申请被参考用于理解本发明数字视频数据分配电路。

象素矩阵电路 116 具有在矩阵中有 1920×1080 象素 TFTs 排列的结构。

重复上述操作，重复的数目等于扫描行数，以便形成一个屏幕（一帧）。在本发明的有源矩阵型液晶显示装置中，在一秒内重写 60 帧的图象。

此处，将描述选择器电路(1) 1506 和选择器电路(2) 1509 的结构和操作。选择器电路的基本概念与实施例 1 中描述的开关电路相同。在此实施例中，一个选择器电路(1) 1506 和一个选择器电路(2) 1509 用于每四个源极信号行。由此，240 个选择器电路(1) 1506 和 240 个选择器电路(2) 1509 被用于源极信号行驱动电路 A 1501，以及 240 个选择器电路(1) 和 240 个选择器电路(2) 被用于源极信号行驱动电路 B 1511。

参考图 16。为便于解释，图 16 只表示源极信号行驱动电路(A)的最左侧选择器电路(1)。实际的源极信号行驱动电路安装了 240 个选择器电路。

如图 16 所示，本实施例的一个选择器电路(1)包括八个 3 输入 NAND 电路，两个 4 输入 NAND 电路，和两个变极器。来自闭锁电路(2) 1505 的信号输入给本实施例的选择器电路(1) 1506，以及在来自闭锁电路(2) 1505 的信号行 L0.0，L0.1，L1.0，L1.1 …… L1919.0，L1919.1 中，信号行 L0.0，L0.1，L1.0，L1.1，L2.0，L2.1，L3.0，L3.1 与图 16 所示的选择器电路(1) 1506 相连。符号 La.b 表示数字视频数据的第 b 位信号被供给来自左侧的第 a 源极信号行。来自信号行 SS1 和 SS2 的计时信号被输入选择器电路(1) 1506。来自选择器电路(1) 1506 的信号被输入水平移位电路 1507，然后输入 D/A 转换电路 1508。

此处，参见图 17。图 17 表示选择器电路(2) 1509。为便于解释，图 17 表示最左侧选择器电路(2) 1509。实际的源极信号行驱动电路安装了 240 个选择器电路。

如图 17 所示，本实施例的选择器电路(2) 1509 包括四个具有三个 P 通道 TFTs 和三个 N 通道 TFTs 的模拟开关，和三个变极器。由 D/A 转换电路 1508 转换成模拟信号的模拟图象信号被输入选择器电路(2) 1509。

图 18 表示 2 位数据和输入给选择器电路(1) 1506 和选择器电路(2) 1509 的计时信号所计时图。参考符号 LS 表示闭锁信号，且是在一个行周期(水平扫描周期)的开始处供给闭锁电路(2) 1505 的信号。参考符号位 0 和位 1 表示从闭锁电路(2) 1505 输出的图象信号第零位和第一位数据。此处，如图 16 所示，假定数字信号 A1 和 A0 从与选择器电路(1) 1506 相连的闭锁电路(2) 1505 供给信号行 L0.1 和 L0.0，数字信号 B1 和 B0 供给信号行 L1.1 和 L1.0，数字信号 C1 和 C0 被供给信号行 L2.1 和 L2.0，并且数字信号 D1 和 D0 被供给信号行 L3.1 和 L3.0。

在选择器电路(1) 1506 中，根据供给 SS1 和 SS2 的计时信号，选择输出给位 1 和位 0 的信号。即，在第一 (1/4) 行周期内，A1 被输出给位 1，和 A0 被输出给位 0。在下一个 (1/4) 行周期内，B1 被输出给位 1，和 B0 被输出给位 0。在下一个 (1/4) 行周期内，C1 被输出给位 1，和 C0 被输出给位 0。在最后的 (1/4) 行周期内，D1 被输出给位 1，和 D0 被输出给位 0。类似地，在每 (1/4) 行周期内，来自闭锁电路(2) 的数据被供给水平移位电路。

作为有能力用于 D/A 转换电路 1508 的 D/A 转换电路的实例，可引用与本申

请相同代理人的日本申请 No. Hei. 9-344351 和 No. Hei. 9-365054 公开的 D/A 转换电路。在这些专利申请所公开的 D/A 转换电路中，如上所述，数字视频数据被分成较上位和较下位，并且通过采用两个 D/A 转换电路形成模拟图象信号。例如，在采用 4 位数字视频数据的情况下，数据可被分成较上 2 位和较下 2 位以进行 D/A 转换。

由 D/A 转换电路供给的模拟图象信号被选择器电路(2) 1509 选择，并被供给源极信号行。同样在此情况下，虽然在每(1/4)行周期内模拟图象信号被供给相应的源极信号行，但仅当模拟信号的电压完全由可解码信号(DE)完全确定时，模拟图象信号供给源极信号行。

顺便提及，在本实施例中，虽然被处理的是 2 位数字视频数据，但多于 2 位的数字视频数据也可被处理。

在本实施例中，因为每四个源极信号行安装一个 D/A 转换电路，通过采用开关电路可使得 D/A 转换电路的数目降为现有技术的四分之一。可是，在本发明中，D/A 转换电路的数目可改变为其他数目。例如，在一个 D/A 转换电路被分配给八 15 个源极信号行的情况下，在本实施例半导体显示装置中，D/A 转换电路的数目变为 240，以便实现进一步降低驱动电路的面积。类似地，本实施例不限于有多少源极信号行被分配给一个 D/A 转换电路。

因此，在本发明半导体显示装置具有 m 个源极信号行 (m 是自然数) 的情况下 (换言之，在像素数目 (水平 \times 垂直) 为 $m \times$ 任意数的情况下)，对一个行提供 m 个 x 位数字灰度信号 (x 是自然数)。在这种情况下，如果本发明的半导体显示装置包含有 n 个 D/A 转换电路 (n 是自然数) 的 D/A 转换电路部分，则各个 D/A 转换电路把 m/n 个数字灰度信号顺序转换成模拟信号，并把模拟信号供给相应的 m/n 源极行。顺便提及，最好根据数字灰度信号的位数来采用 D/A 转换电路。

根据本实施例，可使得在驱动电路中占有大面积的 D/A 转换电路的数目为现有技术的四分之一，即使考虑开关电路的增加，也可实现半导体显示装置的小型化。

(实施例 6)

虽然透射型液晶显示板已在实施例 2 至 5 中描述，但无疑实施例 1 的驱动电路也可应用于反射型液晶板。而且，铁电液晶、反铁电液晶等也可用于液晶物质。

另外，虽然液晶被用于前述实施例 2 至 5 中的显示介质，但实施例 1 的驱动

电路可用于液晶混合层和高聚合体，即一种所谓的聚合体分散型液晶显示装置。而且，本实施例 1 的驱动电路可用于任何具有其他任何显示介质的显示装置，显示介质的光学特性可根据施加电压来调制。例如，场致发光元件、电致变色元件等可用于显示装置。

5 (实施例 1)

前述实施例 1 至 6 的半导体显示装置具有不同的用途。在本实施例中，将描述与半导体显示装置结合的半导体装置。

作为半导体装置，可列举摄像机、照相机、投影仪、头盔显示器、汽车导航系统、个人计算机、便携式信息终端（移动计算机、移动电话等）等。图 13A 至 10 13F 表示那些半导体装置的实例。

图 13A 表示由主体 1301、声音输出部分 1302、声音输入部分 1303、半导体显示装置 1304、操作面板 1305、和天线 1306 构成的移动电话。

图 13B 表示由主体 1401、半导体显示装置 1402、声音输入部分 1403、操作面板 1404、电池 1405、和图象接收部分 1406 构成的摄像机。

15 图 13C 表示由主体 1501、镜头部分 1503、图象接收部分 1503、操作面板 1504、和半导体显示装置 1505 构成的移动计算机。

图 13D 表示由主体 1601、半导体显示装置 1602、和支架部分 1603 构成的头盔显示器。

20 图 13E 表示由主体 1701、光源 1702、半导体显示装置 1703、偏振光分束器 1704、反射器 1705 和 1706、和屏幕 1707 构成的背投式投影仪。顺便提及，在背投式投影仪中，当主体固定时，屏幕的角度最好根据观察者的位置而变化。

图 13F 表示由主体 1801、光源 1802、半导体显示装置 1803、光学系统 1804、和屏幕 1805 构成的前投式投影仪。

25 根据本发明的半导体显示装置，因为在驱动电路中占有较大的面积的 D/A 转换电路数目，与现有技术相比该数目可大大降低，因此可实现半导体显示装置的极小化。

说 明 书 附 图

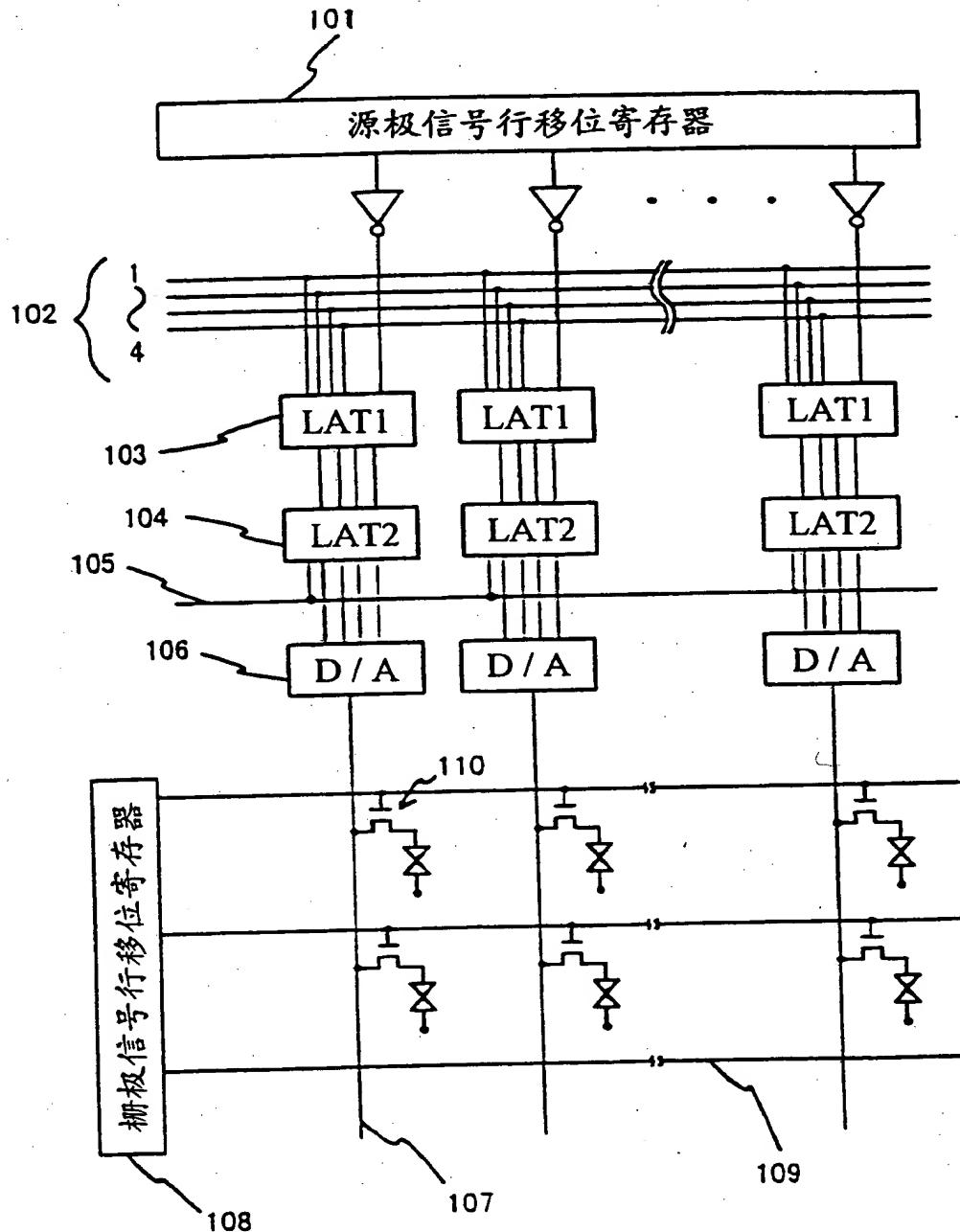


图 1

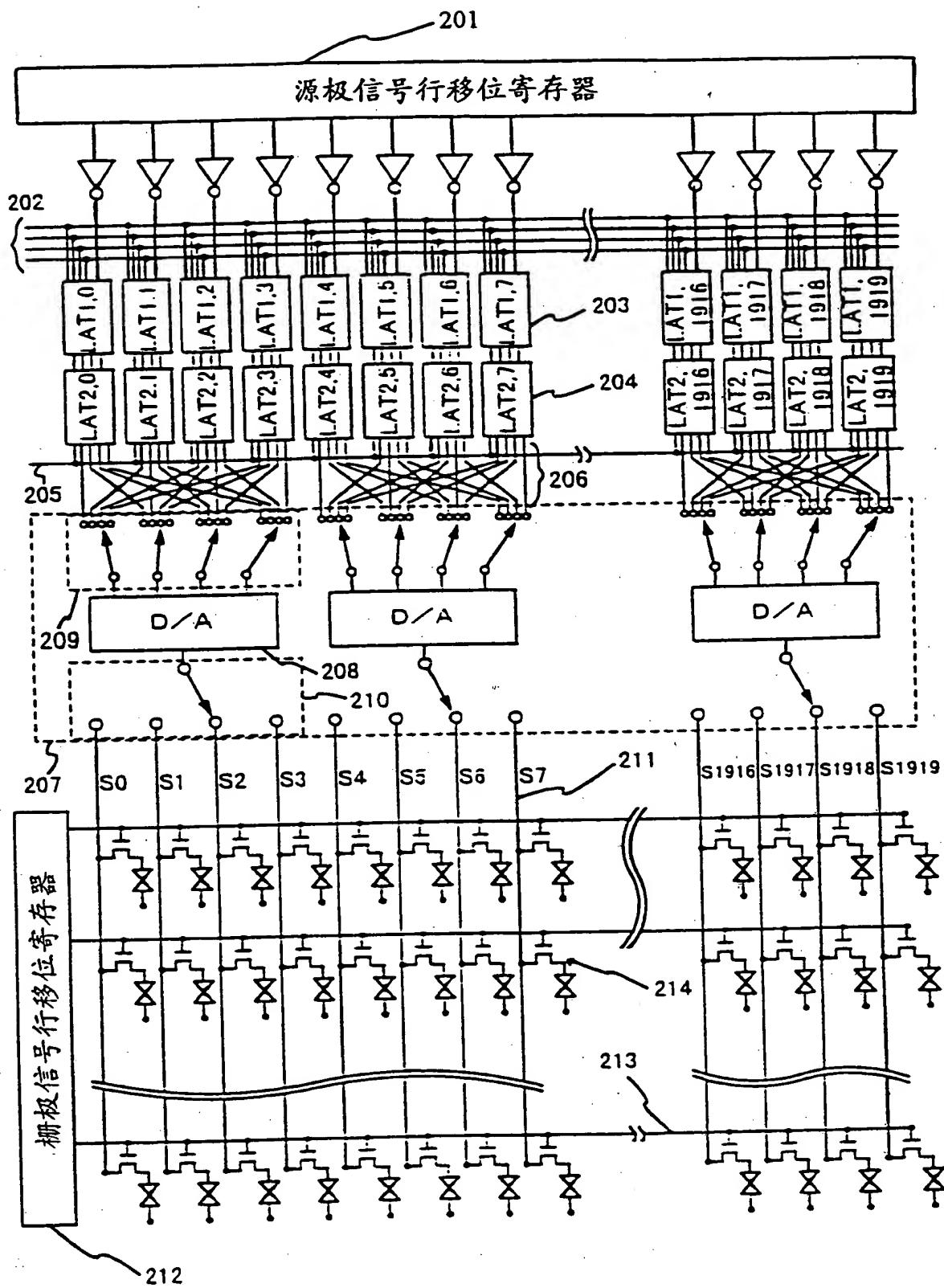


图 2

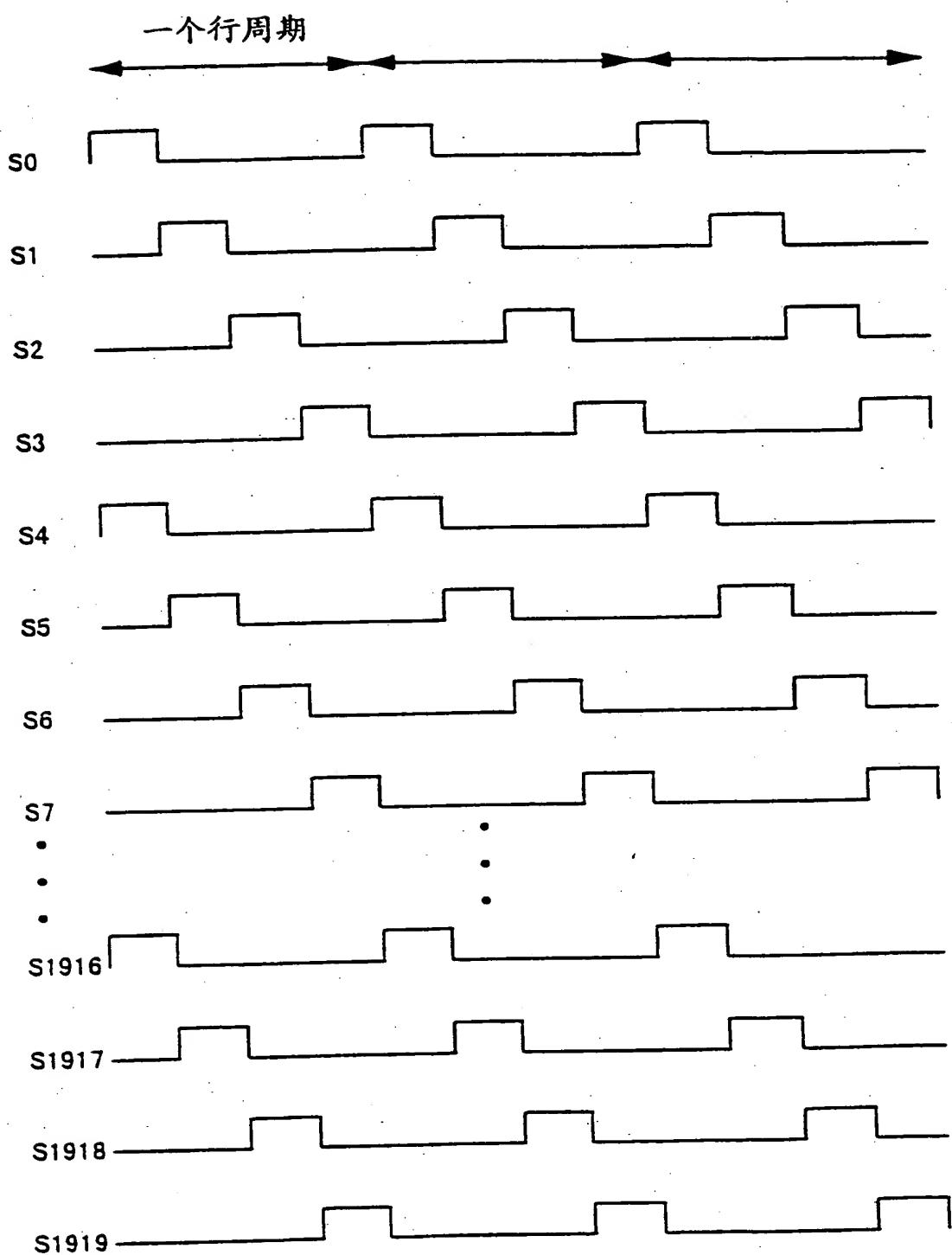
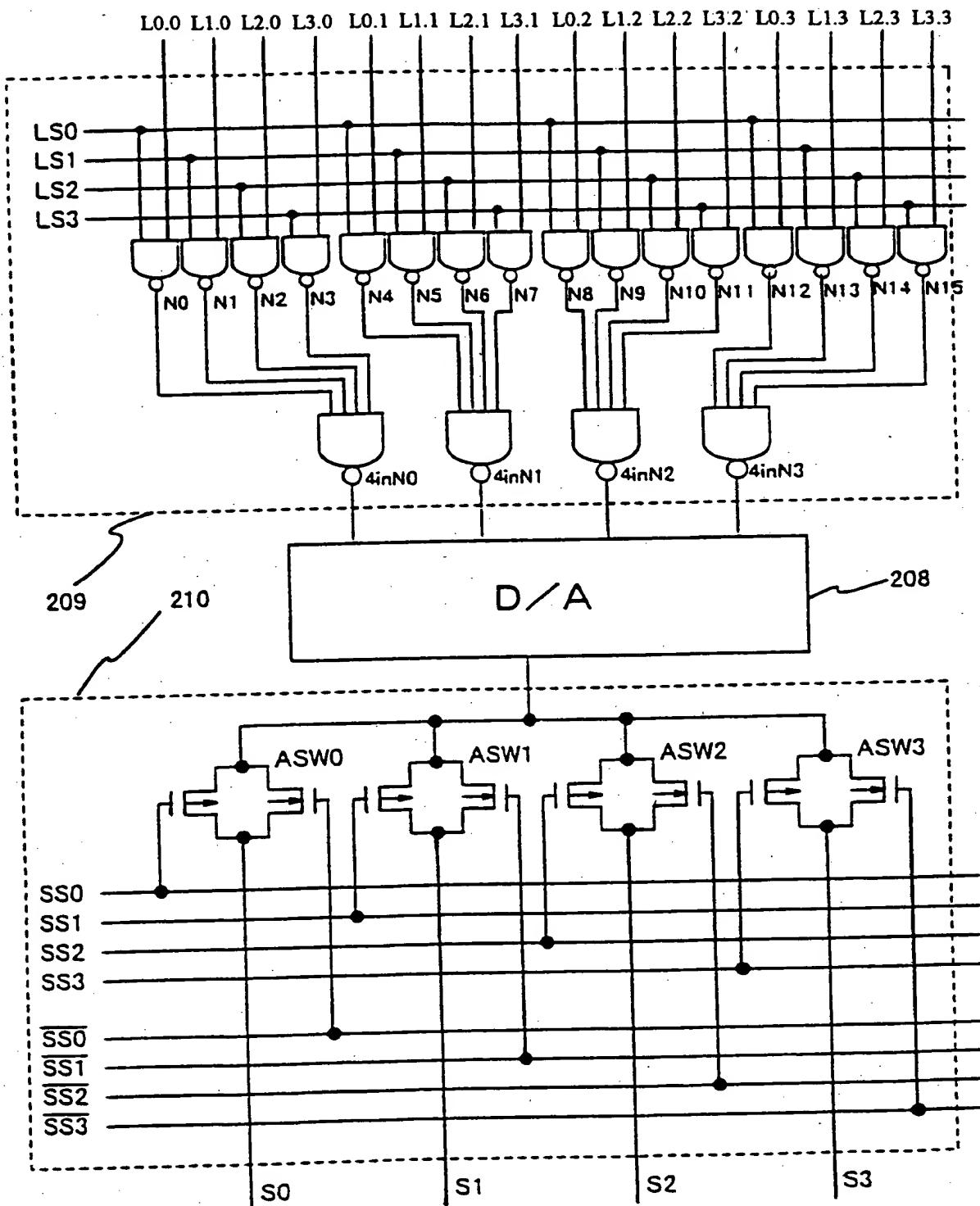


图 3

由 LAT2



到象素

图 4

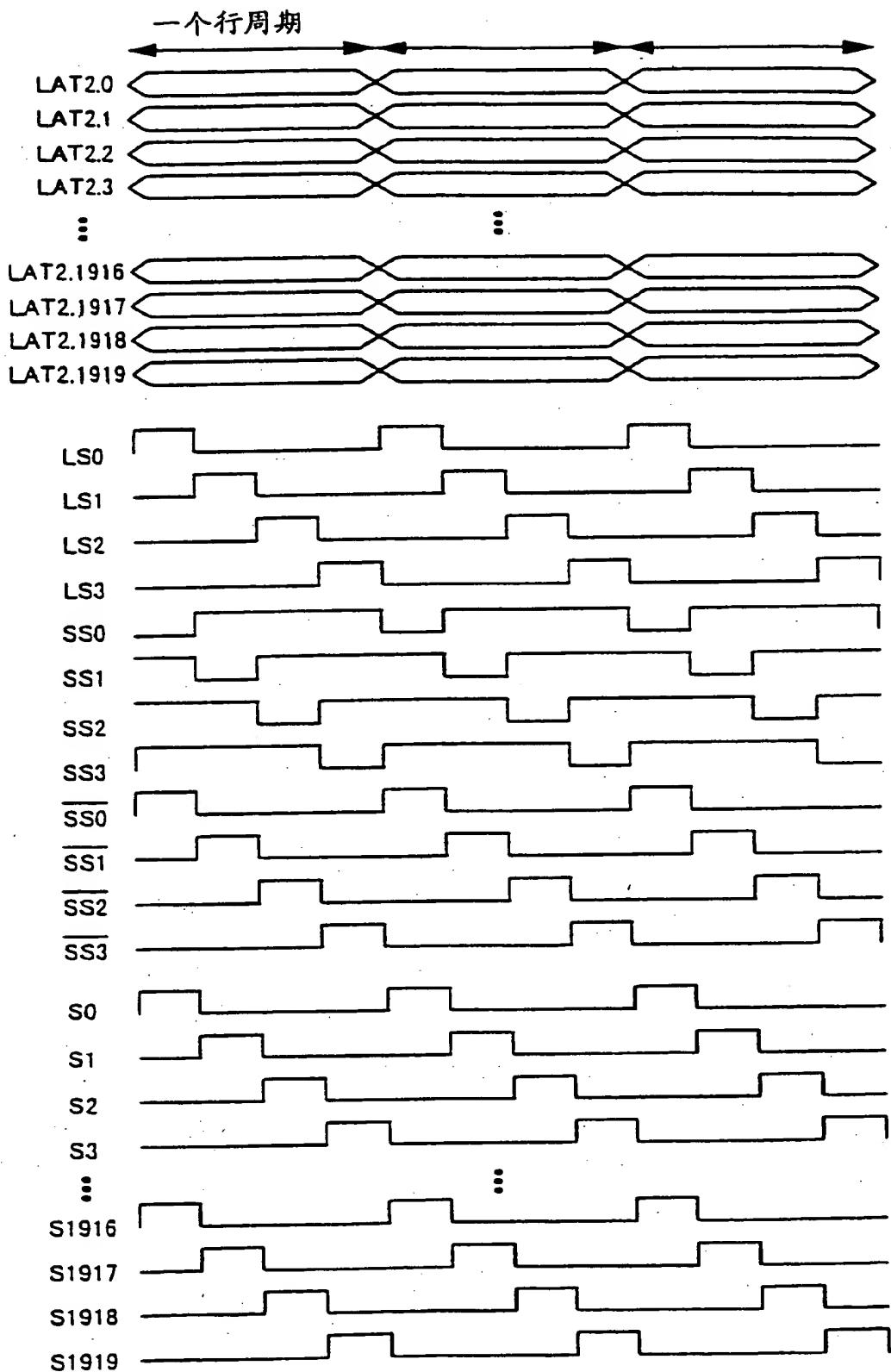


图 5

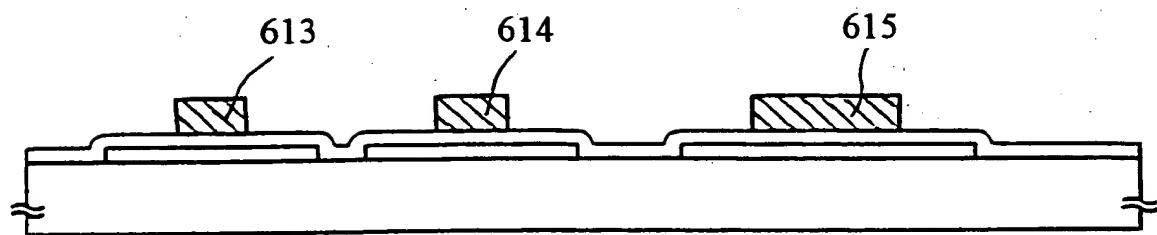


图 7A

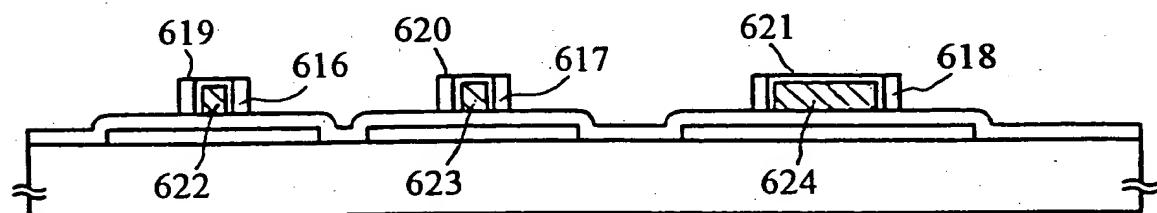


图 7B

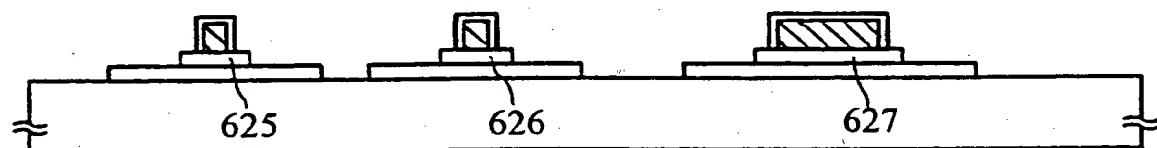


图 7C

↓ ↓ ↓ 对给定的N型掺入杂质(n^- 区 / n^+ 区的形成) ↓ ↓

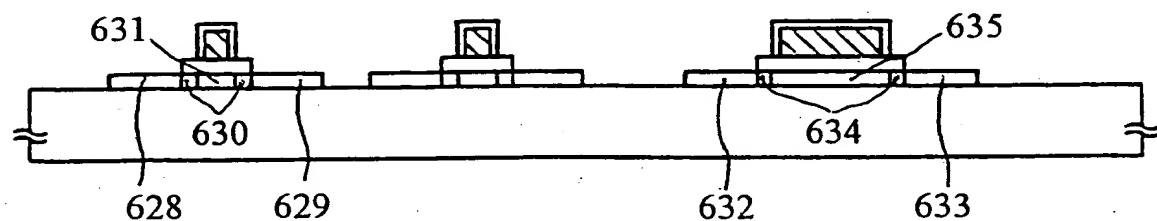


图 7D

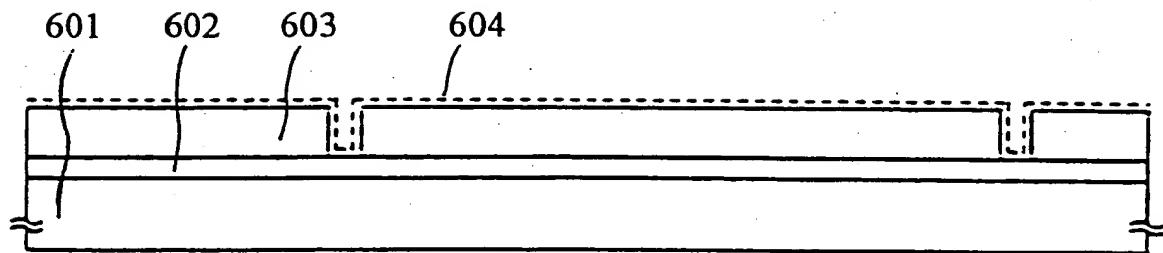


图 6A

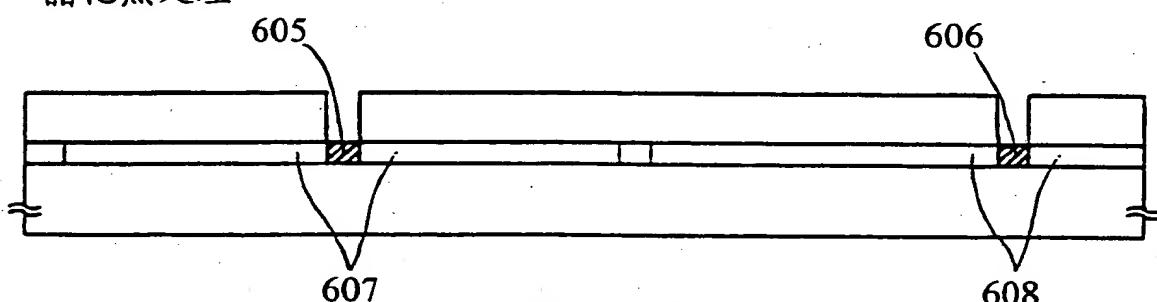


图 6B

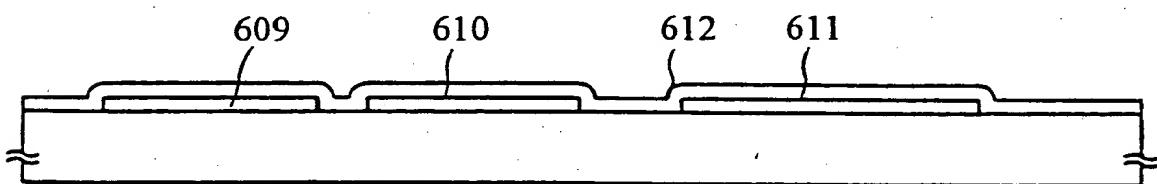


图 6C

催化元素吸气过程



图 6D

↓ ↓ ↓ 对给定的P型掺入杂质(P-区/P+区的形成) ↓ ↓

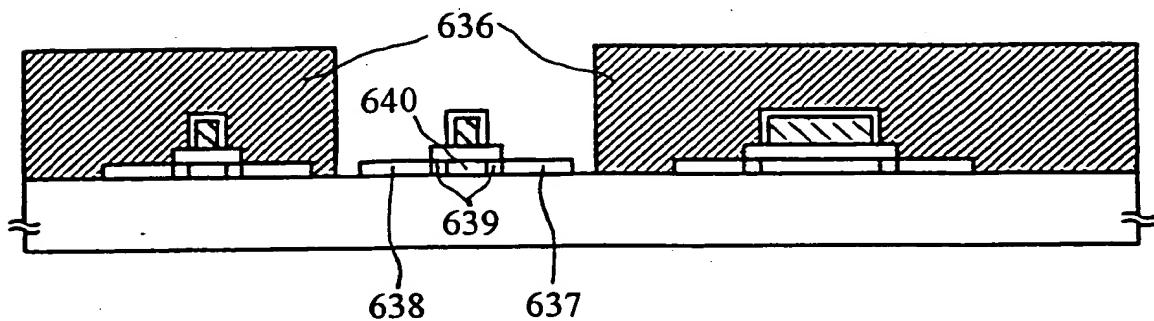


图 8A

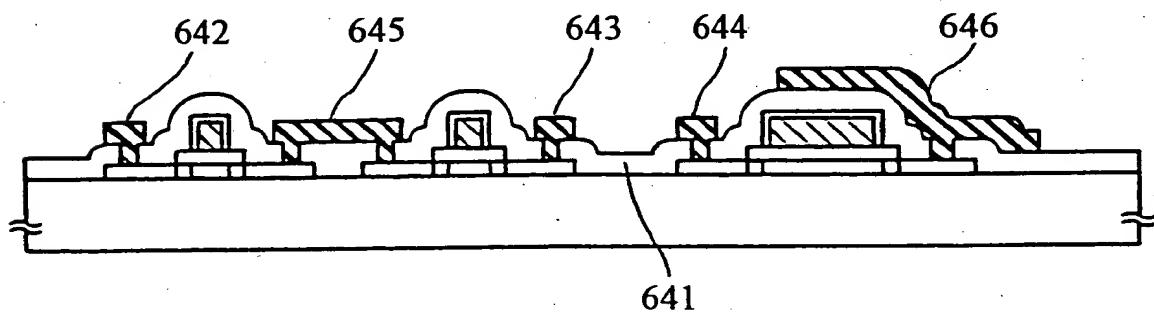
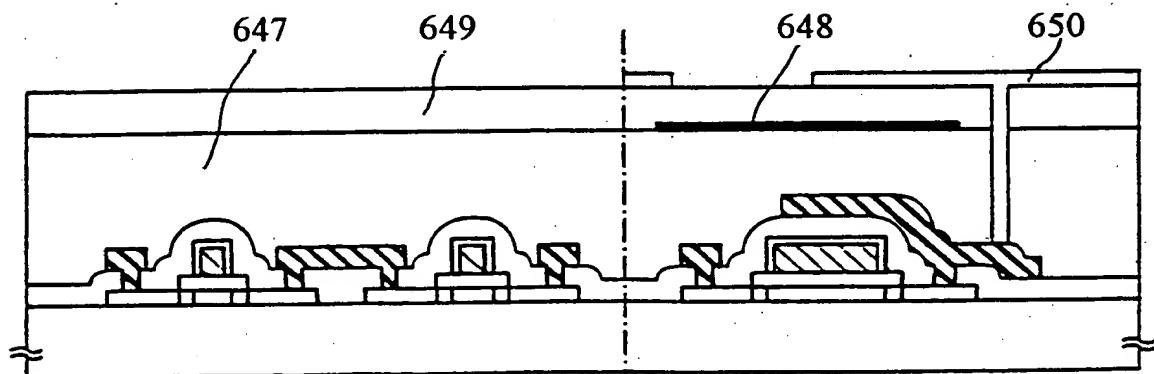


图 8B



CMOS 电路

象素矩阵电路

图 8C

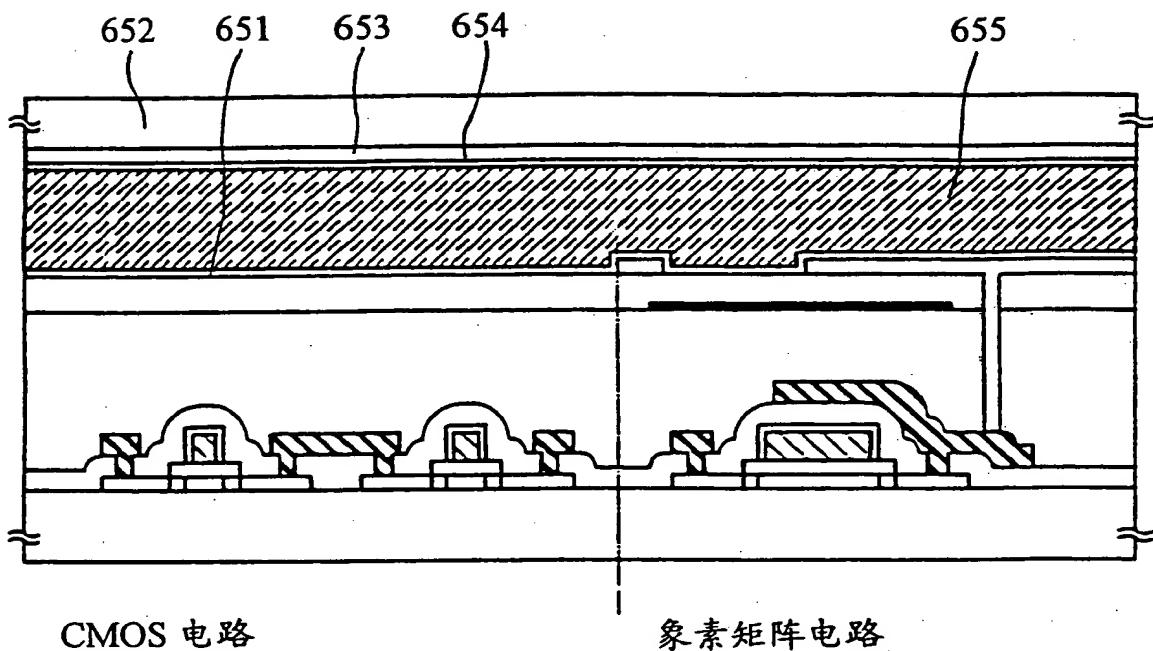
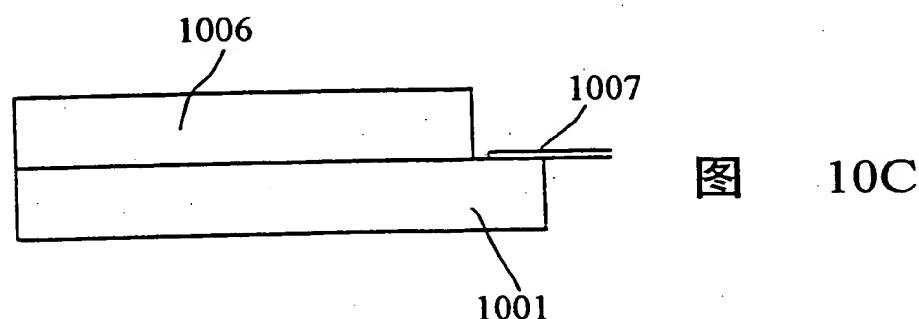
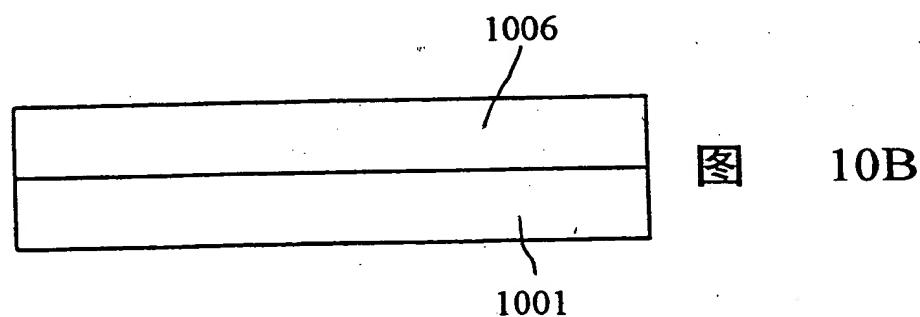
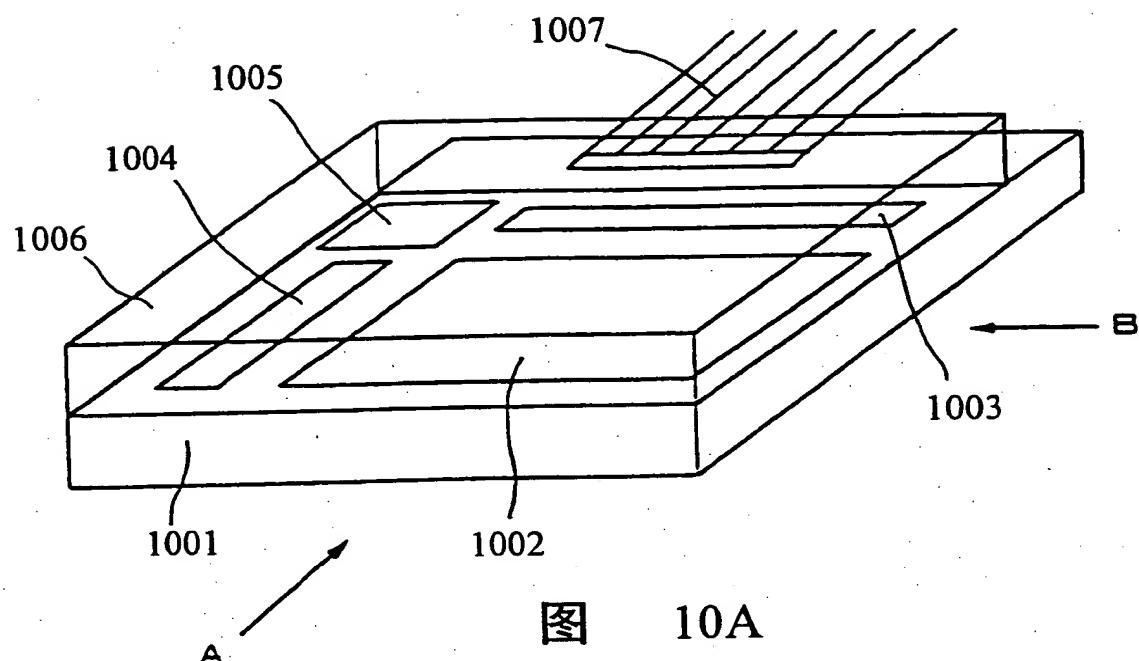


图 9



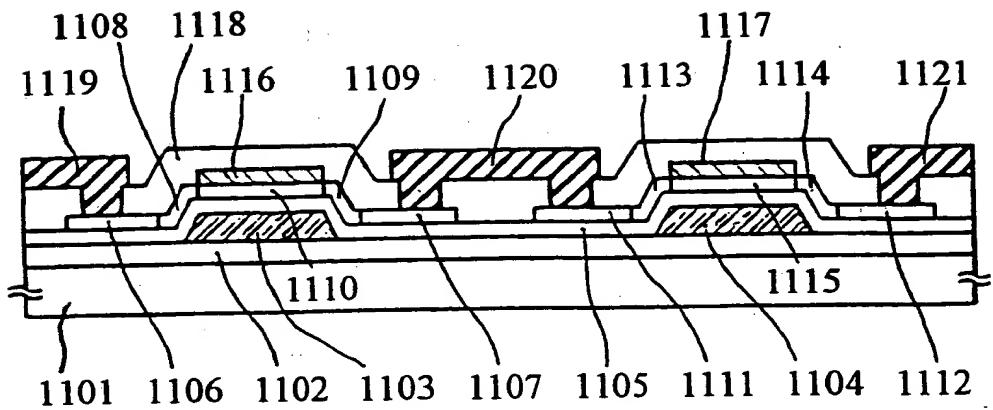


图 11

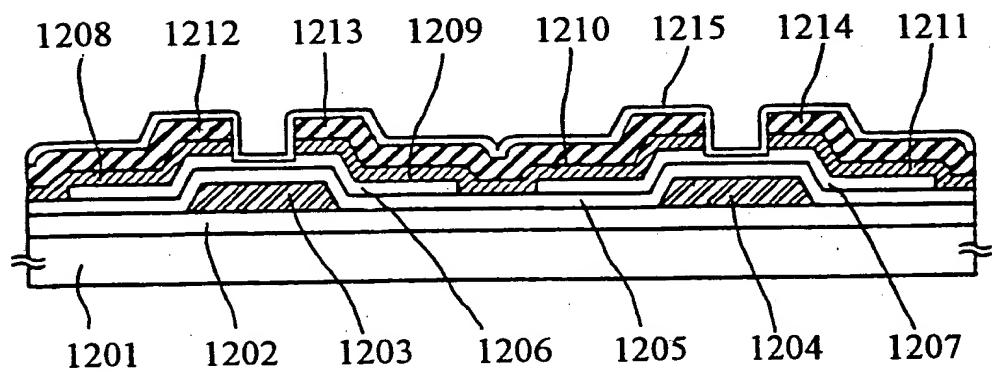


图 12

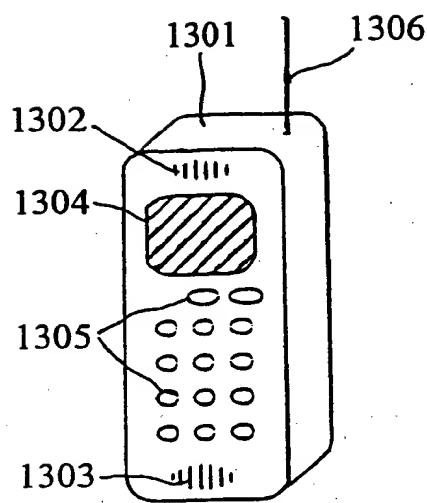


图 13A

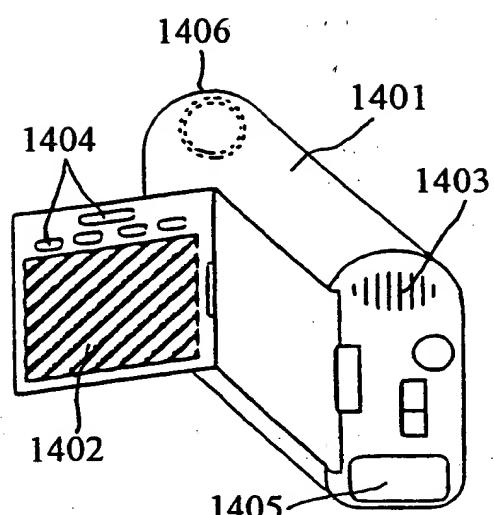


图 13B

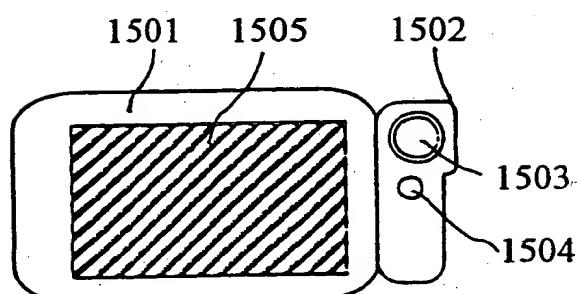


图 13C

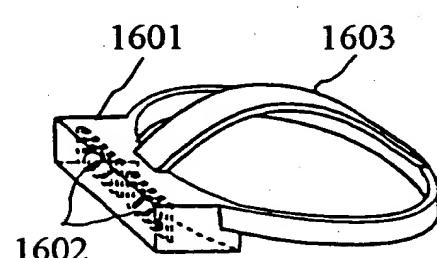


图 13D

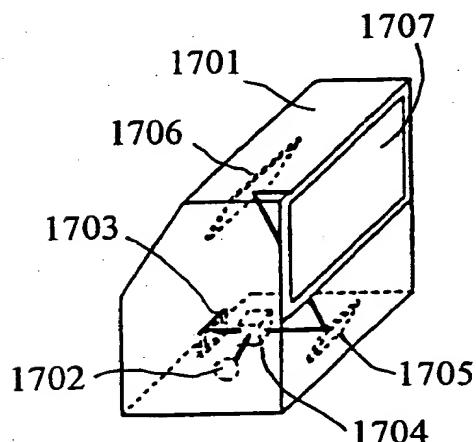


图 13E

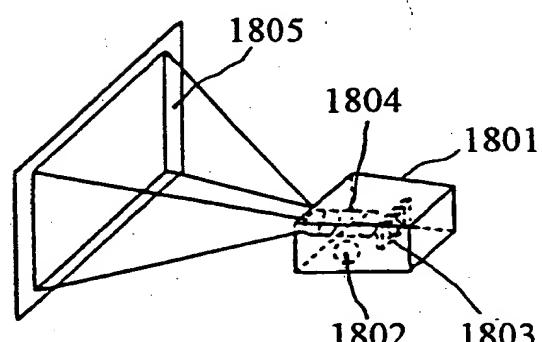


图 13F

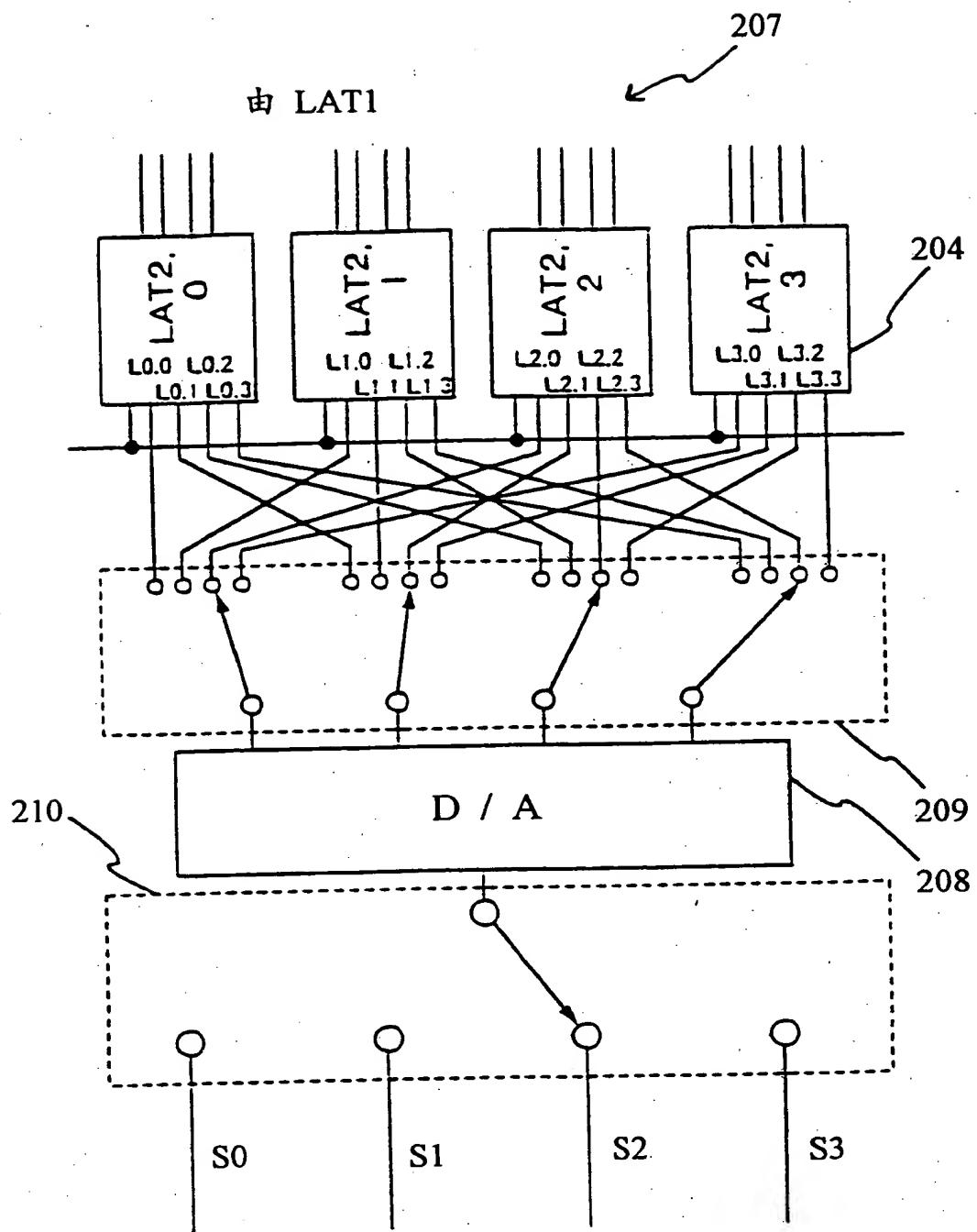


图 14

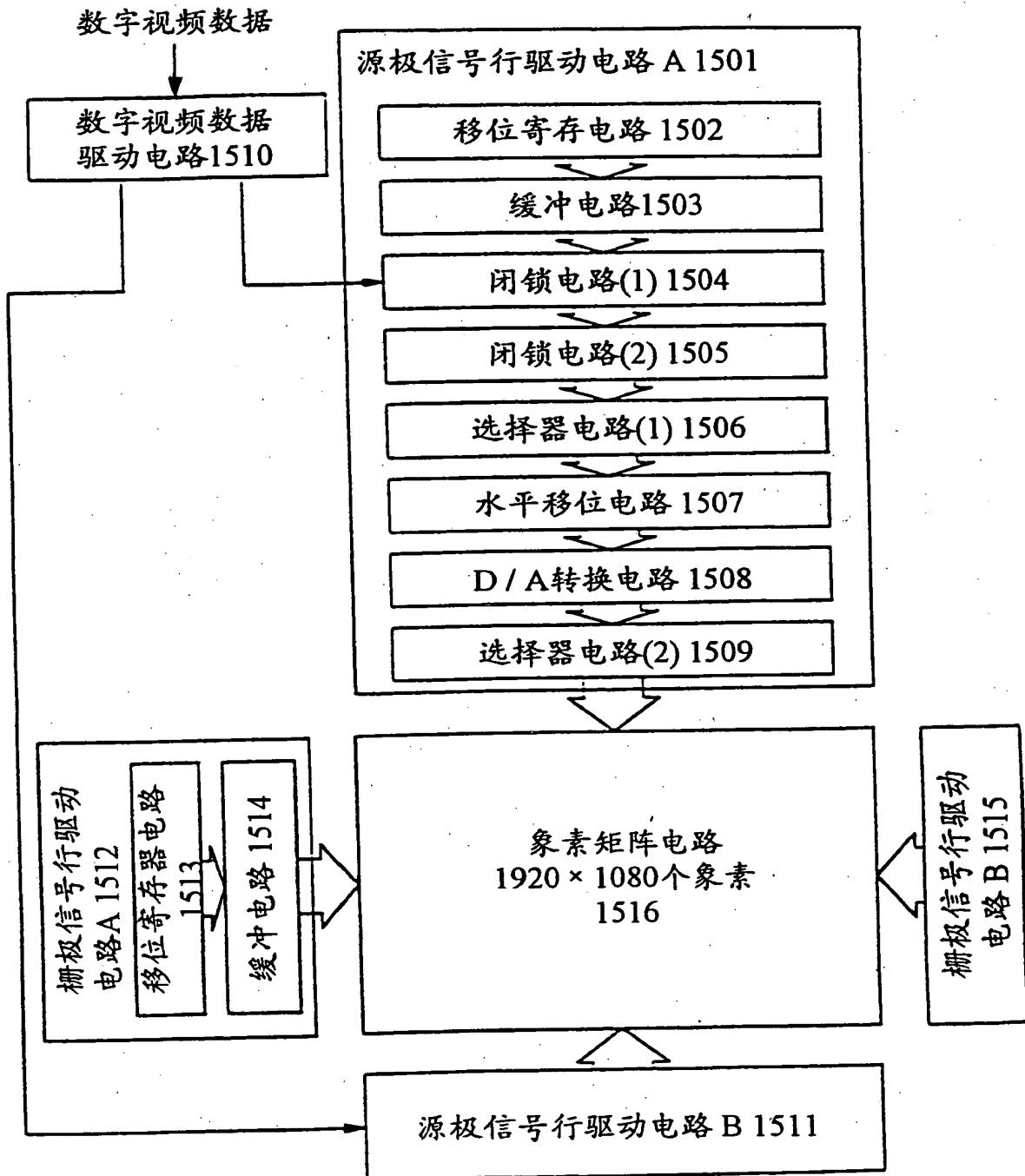


图 15

由闭锁电路(2) 1505

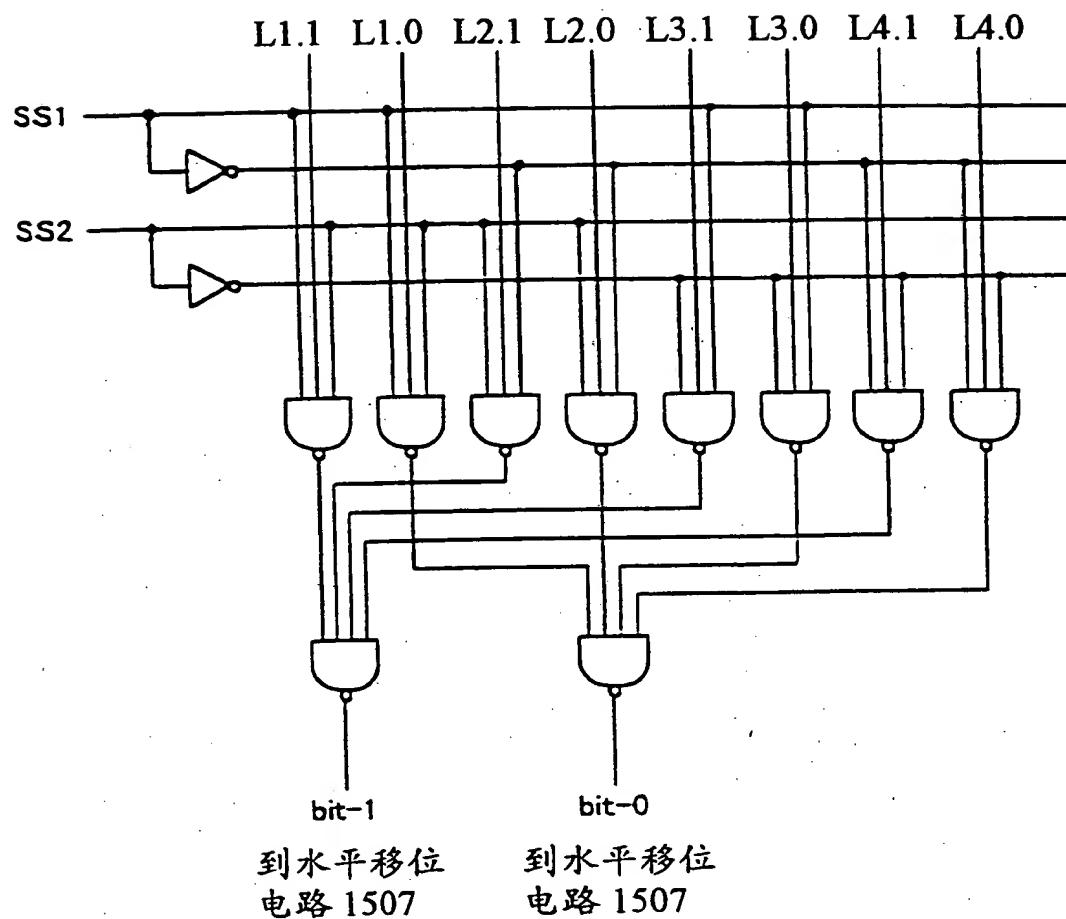
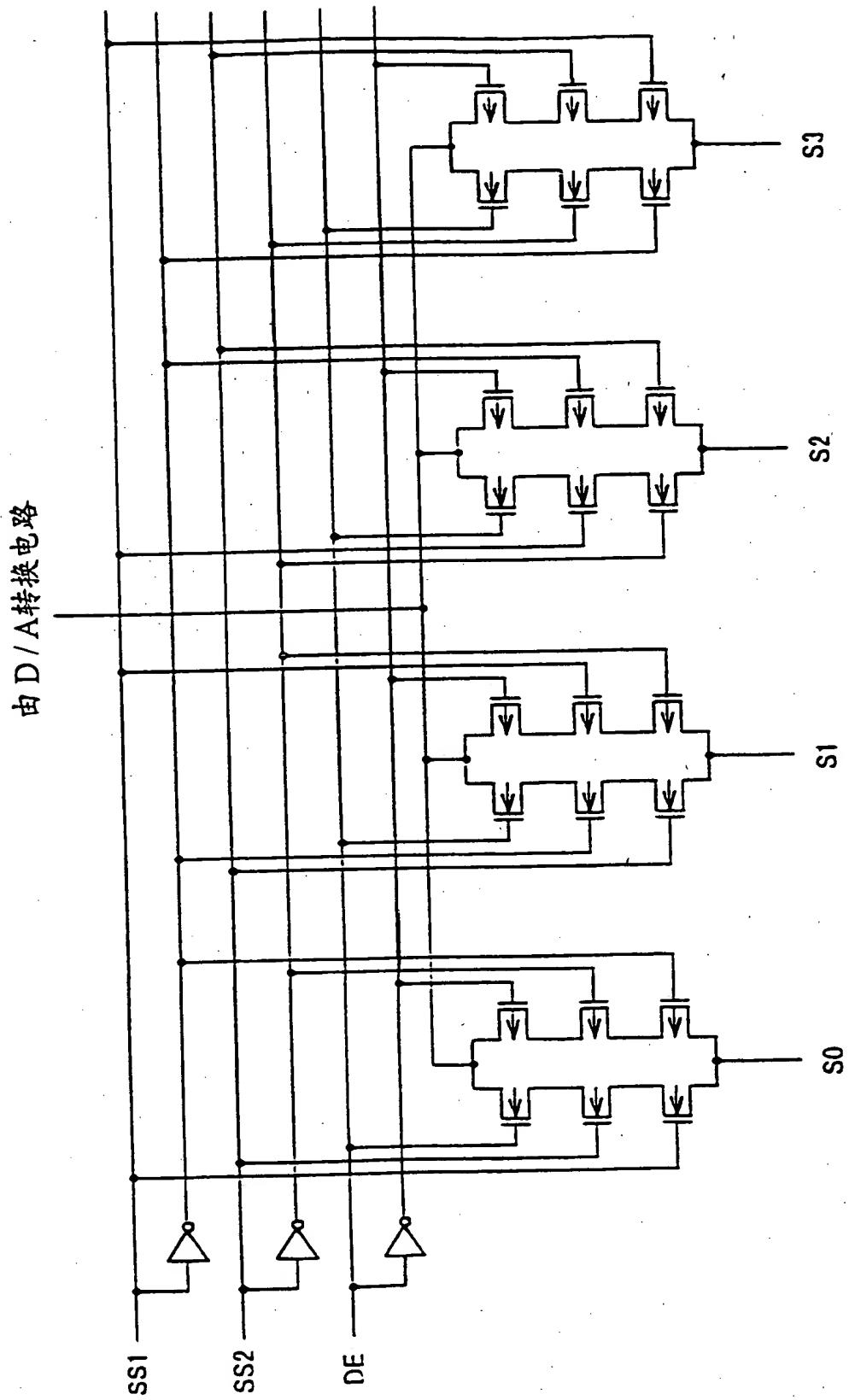


图 16

图 17



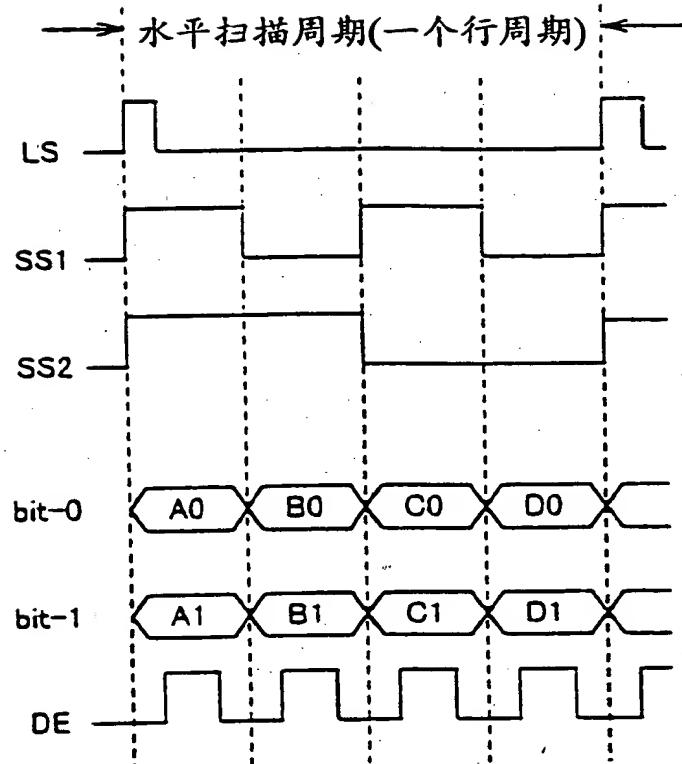


图 18

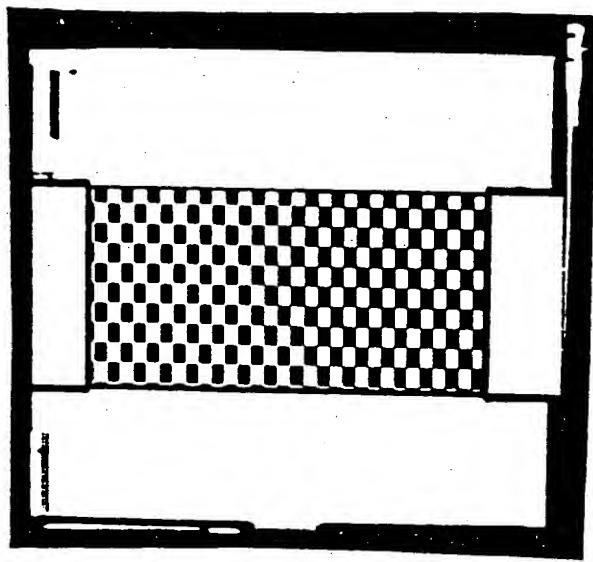


图 19

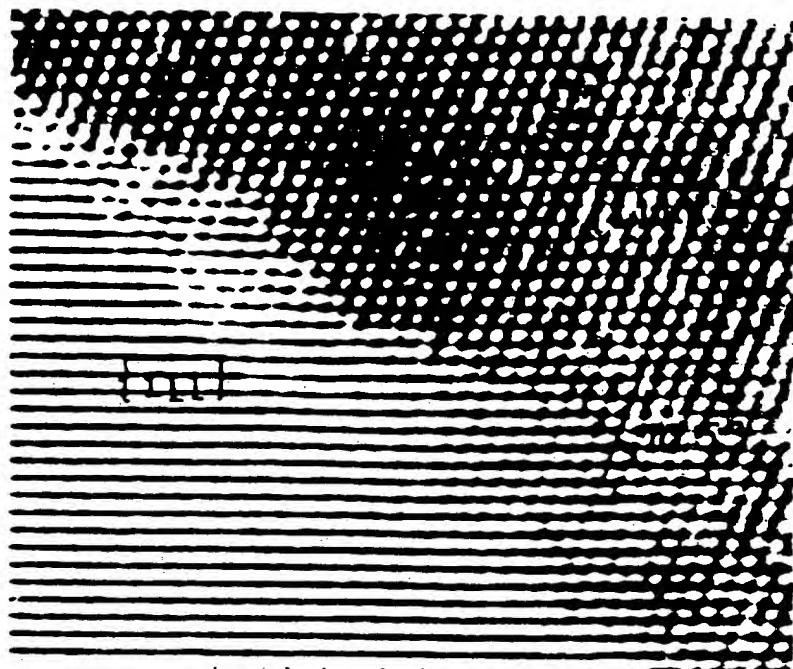
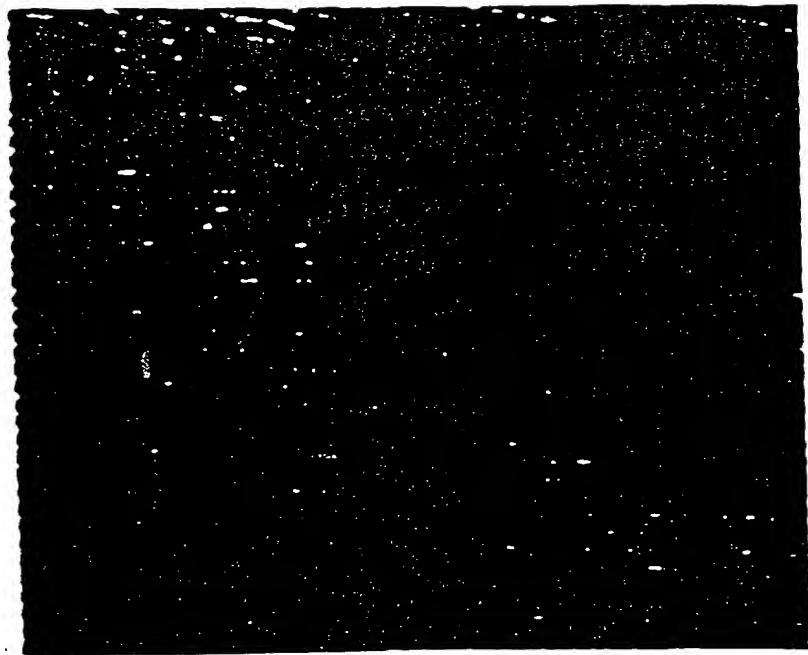


图 20

5nm



5nm

图 21

19

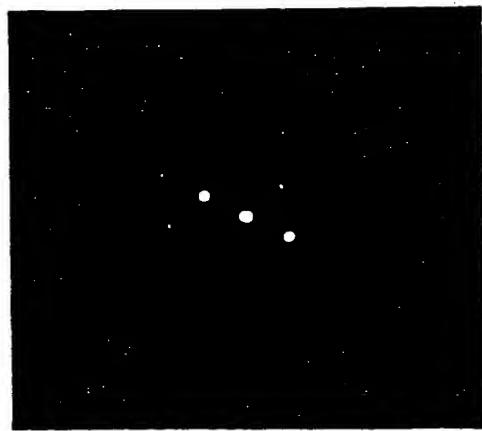


图 22A

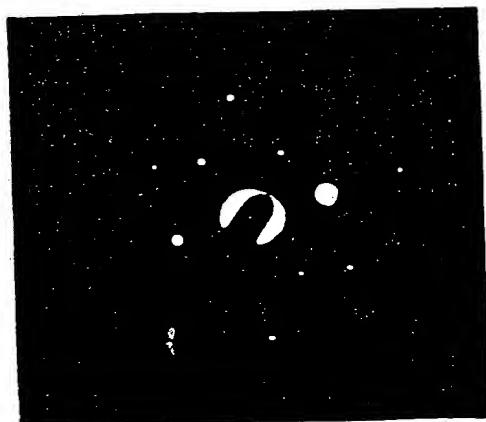


图 22B



0.1 μ m

图 23A



0.1 μ m

图 23B

行 206 把来自 LAT2 组的 LAT2.0 至 LAT2.1919 的灰度信号供给较低阶。在本实施例中，因为 4 位数字灰度信号被处理，所以四个信号行 206 由 LAT2 组的每一个予以扩展。虽然参考符号被顺序供给信号行 206，但在图 2 中被略去。

图 14 表示图 2 中由 LAT2 组到源极信号行 211 的电路，同时注意最左边的 D/A 转换电路 208。应当理解参考符号 L0.0 至 L3.3 被赋给信号行 206。在指定信号行 206 的参考符号 Lab 中，“a”表示 LAT2 组中闭锁电路数，以及“b”表示 0 至 3 的由较高位到较低位的位数。

类似地，所有信号行被赋给参考符号 L0.0 至 L1919.3。

被 207 表示的部分（虚线部分）为包括 D/A 转换电路 208 的 D/A 转换部分，
开关电路 209（虚线部分），和开关电路 210（虚线部分）。参考数 211 表示给定参考符号为 S0 至 S1919 的源极信号行。

在 D/A 转换部分 207 中，一个 D/A 转换电路 208 安装在 LAT2 组的每四个闭锁电路上（即，连接 LAT2 组 LAT2.0 至 LAT2.1919 的信号行 L0.0 至 L1919.3 的每 16 行）和信号行 S0 至 S1919 的每四个行上。因此，在本实施例中，安装了 480
（= $1920/4$ ）个 D/A 转换电路 208。在图 2 中，连接最左边 D/A 转换电路 208 的开关电路 209 顺序地选择来自源于 LAT2 组四个闭锁电路的一个闭锁电路的位信号。开关电路 210 选择源极信号 S0 至 S3 中的一个。

参考数 212 表示提供扫描信号给扫描信号行 213 的栅极信号行移位寄存器。

参考数 214 表示象素 TFTs，其中的每个由象素和电极、液晶材料等一起组成。

下面，将描述本实施例半导体显示装置的操作。

首先，数字灰度信号由来自源极信号行移位寄存器 201 的计时信号从数字解码器 202 被顺序写入 LAT1 组。

数字灰度信号被写入 LAT1 组的大致结束时间为一个行周期。即，一个行周期是来自数字解码器的灰度信号向图 1 中最左侧的闭锁电路 LAT1.0 写入的起始点和来自数字解码器的灰度信号向最右侧的 LAT1.1919 写入的结束点之间的时间间隔。

在数字灰度信号向 LAT1 组中的写入结束之后，写入 LAT1 组中的灰度信号几乎立刻与供给闭锁脉冲行 205 的闭锁脉冲同步地传输给 LAT2 组。LAT2 组储存灰度信号并传输灰度信号给信号行 206。

灰度信号向 LAT2 组中的传输完成后通过来自源极信号行移位寄存器 101

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.